

Docket No.: 67161-125

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|----------------------------------|---|------------------------|
| In re Application of | : | Customer Number: 20277 |
| Koji NII | : | Confirmation Number: |
| Serial No.: | : | Group Art Unit: |
| Filed: October 24, 2003 | : | Examiner: |
| For: SEMICONDUCTOR MEMORY DEVICE | : | |

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

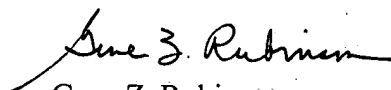
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-125401(P), April 30, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:mcw
Facsimile: (202) 756-8087
Date: October 24, 2003



日本国特許庁
JAPAN PATENT OFFICE

67161-125

K. N11

October 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 4月30日

出願番号
Application Number:

特願2003-125401

[ST.10/C]:

[JP2003-125401]

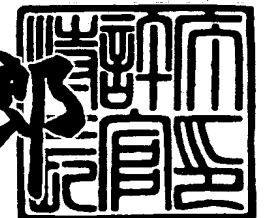
出願人
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045260

【書類名】 特許願

【整理番号】 543780JP01

【提出日】 平成15年 4月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 新居 浩二

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 マルチポートメモリを有する半導体記憶装置であって、
行列状に配置された複数のメモリセルと、

各々が、各行に対応して配置され、前記メモリセルに接続され、かつ第 1 のポートからのアクセス時に前記第 1 のポートからのアドレス信号にしたがって選択される複数の第 1 のワード線と、

各々が、各行に対応して配置され、前記メモリセルに接続され、かつ第 2 のポートからのアクセス時に前記第 2 のポートからのアドレス信号にしたがって選択される複数の第 2 のワード線とを備え、

前記複数の第 1 のワード線の各々と前記複数の第 2 のワード線の各々が平面レイアウトにおいて交互に配置されている、半導体記憶装置。

【請求項 2】 同一列で行方向に互いに隣合う 2 つの前記メモリセルの各々を構成するトランジスタの平面レイアウトは、前記 2 つのメモリセルの境界線に対して互いに線対称であることを特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 のワード線と前記第 2 のワード線との間に配置された絶縁層をさらに備え、

前記第 1 のワード線と前記第 2 のワード線とのいずれか一方は前記絶縁層の下側に配置されており、前記第 1 のワード線と前記第 2 のワード線とのいずれか他方は前記絶縁層の上側に配置されていることを特徴とする、請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 連想メモリを有する半導体記憶装置であって、

行列状に配置された複数の連想メモリセルと、

各々が、各行に対応して配置され、前記連想メモリセルに接続された複数のワード線と、

各々が、各行に対応して配置され、前記連想メモリセルに接続された複数のマッチ線とを備え、

互いに隣合う第 1 の行と第 2 の行とにおいて前記第 1 の行の前記ワード線と前記第 2 の行の前記ワード線とが互いに隣合っており、かつ互いに隣合う前記第 2 の行と第 3 の行とにおいて前記第 2 の行の前記マッチ線と前記第 3 の行の前記マッチ線とが互いに隣合っている、半導体記憶装置。

【請求項 5】 前記ワード線と前記マッチ線との間に配置された絶縁層をさらに備え、

前記ワード線と前記マッチ線とのいずれか一方は前記絶縁層の下側に配置されており、前記ワード線と前記マッチ線とのいずれか他方は前記絶縁層の上側に配置されていることを特徴とする、請求項 4 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関するものであり、特にマルチポートメモリまたは連想メモリを有する S R A M (Static Random Access Memory) の半導体記憶装置に関するものである。

【0002】

【従来の技術】

マルチポートメモリセルにおいては、各ポートのビット線同士またはワード線同士が互いに隣合って配線されやすい。そのため、各配線間のカップリング容量が原因でクロストークが発生し、誤動作してしまう危険性がある。

【0003】

たとえば特開 2 0 0 0 - 1 2 7 0 4 号公報では、書込み用のワード線と読出し用のワード線の G N D 配線を設けて、互いのワード線の干渉を避ける方法が提案されている。同じように、特開 2 0 0 0 - 2 3 6 0 2 9 号公報では、隣合うメモリセルの行と行との間に G N D 配線を設けて、ワード線間の干渉を避ける方法が提案されている。

【0004】

しかし、これらの手法は共にシールド用配線をワード線間に設けるため、ワード線とワード線との間の間隔に余裕が必要となる。元々のメモリセルにおいてワ

ード線間に隙間があれば、シールド配線を設けることによる面積増加は起こらない。しかし、たとえば特開2002-43441号公報や特開2002-237539号公報に示されているような横に長い形状の2ポートメモリセルのレイアウト構成の場合、各ポートに接続されるワード線は互いに隣合って配置されていて、それらの間隔が狭いとシールド配線を設けるだけの余裕がない。

【0005】

【特許文献1】

特開2000-12704号公報

【0006】

【特許文献2】

特開2000-236029号公報

【0007】

【特許文献3】

特開2002-43441号公報

【0008】

【特許文献4】

特開2002-237539号公報

【0009】

【発明が解決しようとする課題】

上記より、横に長い形状の2ポートメモリセルのレイアウト構成にシールド配線を挿入すると、その分メモリセル面積が増大してしまうという問題がある。

【0010】

また、シールド配線を設けないと、上述したようにワード線間のカップリング容量が大きくなることでカップリングノイズが大きくなり誤動作の原因となる。

【0011】

それゆえ、本発明の目的は、メモリセル面積を増大させることなく、配線間のカップリングノイズを低減可能な半導体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

本発明の半導体記憶装置は、マルチポートメモリを有する半導体記憶装置であって、複数のメモリセルと、複数の第1のワード線と、複数の第2のワード線とを備えている。複数のメモリセルは、行列状に配置されている。複数の第1のワード線の各々は、各行に対応して配置され、メモリセルに接続され、かつ第1のポートからのアクセス時に第1のポートからのアドレス信号にしたがって選択される。複数の第2のワード線の各々は、各行に対応して配置され、メモリセルに接続され、かつ第2のポートからのアクセス時に前記第2のポートからのアドレス信号にしたがって選択される。複数の第1のワード線の各々と複数の第2のワード線の各々とが平面レイアウトにおいて交互に配置されている。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0014】

(実施の形態1)

図1は、本発明の実施の形態1における2ポートSRAMメモリセルの等価回路を示す回路図である。図1を参照して、このメモリセルMCは、2つのドライバトランジスタN1、N2と、2つの負荷トランジスタP1、P2と、4つのアクセストランジスタN3a、N3b、N4a、N4bとを有している。

【0015】

2つのドライバトランジスタN1、N2と、4つのアクセストランジスタN3a、N3b、N4a、N4bとはnMOSトランジスタで構成されており、2つの負荷トランジスタP1、P2はpMOSトランジスタで構成されている。

【0016】

nMOSトランジスタN1とpMOSトランジスタP1とにより第1のCMOS (Complementary Metal Oxide Semiconductor) インバータI1が構成され、nMOSトランジスタN2とpMOSトランジスタP2とにより第2のCMOS インバータI2が構成されている。第1および第2のインバータI1、I2の一方の出力端子は他方の入力端子に互いに接続されることによりフリップフロップ回路が構成され、記憶ノードNa、Nbが構成されている。

【 0 0 1 7 】

ドライバトランジスタ N 1、N 2 の各ソースは GND 電位に接続されており、負荷トランジスタ P 1、P 2 の各ソースは VDD 電位に接続されている。

【 0 0 1 8 】

nMOS トランジスタ N 3 a のソース、ゲートおよびドレインの各々は、一方の記憶端子 N a、第 1 のワード線 W L A および第 1 の正相ビット線 B L A の各々に接続されている。nMOS トランジスタ N 3 b のソース、ゲートおよびドレインの各々は、一方の記憶端子 N a、第 2 のワード線 W L B および第 2 の正相ビット線 B L B の各々に接続されている。

【 0 0 1 9 】

nMOS トランジスタ N 4 a のソース、ゲートおよびドレインの各々は、一方の記憶端子 N b、第 1 のワード線 W L A および第 1 の逆相ビット線 / B L A の各々に接続されている。nMOS トランジスタ N 4 b のソース、ゲートおよびドレインの各々は、一方の記憶端子 N b、第 2 のワード線 W L B および第 2 の逆相ビット線 / B L B の各々に接続されている。

【 0 0 2 0 】

すなわち、第 1 のワード線 W L A、第 1 の正相ビット線 B L A および第 1 の逆相ビット線 / B L A の選択により、第 1 のポートによる記憶値の読出しが可能となる。また、第 2 のワード線 W L B、第 2 の正相ビット線 B L B および第 2 の逆相ビット線 / B L B の選択により、第 2 のポートによる記憶値の読出しが可能となる。

【 0 0 2 1 】

以上のように接続することで、2 ポート S R A M メモリセル回路が構成される。

【 0 0 2 2 】

図 2 は、図 1 の 2 ポート S R A M メモリセル M C の配置の様子を示す図である。図 2 を参照して、図 1 に示す 2 ポート S R A M メモリセル M C は、メモリアレイ内に行列状（マトリックス状）に配置されている。そのメモリアレイの各行に対応して、第 1 のワード線 W L A 0 ~ W L A n の各々と、第 2 のワード線 W L B

0～WLB_nの各々が配置されている。つまり、各行毎に、第1のワード線WLAと第2のワード線WLBとが対となって配置されている。

【0023】

第1のワード線WLA₀～WLA_nの各々は、第1ポート13aからのアドレス信号にしたがって、たとえば第1ポートのコントロール12aを介して、第1ポートのワードドライバ11aにより選択される。また、第2のワード線WLB₀～WLB_nの各々は、第2ポート13bからのアドレス信号にしたがって、たとえば第2ポートのコントロール12bを介して、第2ポートのワードドライバ11bにより選択される。

【0024】

なお、図2においては、説明の便宜上、ビット線は省略されている。また、図2においては、説明の便宜上、第1ポートのワードドライバ11aをメモリセルアレイの図中左に、第2ポートのワードドライバ11bをメモリセルアレイの図中右に示したが、第1および第2ポートのワードドライバ11a、11bの配置位置はこれに限定されるものではない。また、第1ポート13aおよび第2ポート13bの各々は、入出力のピン群または入出力回路群からなっている。

【0025】

図3は、本発明の実施の形態1における2ポートSRAMメモリセルを3行分並べた場合のワード線の配置を示す平面レイアウト図である。図3を参照して、本実施の形態では、第1ポートに電氣的に接続されたワード線WLA₀～WLA₂の各々と、第2ポートに電氣的に接続されたワード線WLB₀～WLB₂の各々とは、平面レイアウトにおいて交互に配置されている。つまり、図3の上側から順に、ワード線WLA₀、ワード線WLB₀、ワード線WLA₁、ワード線WLB₁、ワード線WLA₂、ワード線WLB₂の順で、各ワード線が平面的に配置されている。

【0026】

本実施の形態によれば、上記のようにワード線WLA₀～WLA₂の各々と、ワード線WLB₀～WLB₂の各々とを平面レイアウトにおいて交互に配置することにより、メモリセル面積を増大させることなく、配線間のカップリングノイ

ズを低減することが可能となる。以下、そのことを説明する。

【0027】

まず、本実施の形態との比較のために、図4に示すような同一ポートに接続されるワード線同士が隣合うワード線配置の2ポートSRAMメモリセルについて説明する。なお、図4は、2ポートSRAMメモリセルにおいて、同一ポートに接続されるワード線同士が隣合うように配置された場合の3ビット分の回路構成を示す図である。

【0028】

図4を参照して、このようなワード線の配置の場合、たとえば1行目から3行目までのワード線は、ワード線WLA0、ワード線WLB0、ワード線WLB1、ワード線WLA1、ワード線WLA2、ワード線WLB2の順で配置される。1行目の第2ポートのワード線WLB0に着目すると、このワード線WLB0は、一方側にてワード線WLA0と隣合っており、かつ他方側にてワード線WLB1と隣合っている。つまり、任意のワード線の一方側にて隣合うワード線は同じポートの別行のワード線となり、他方側にて隣合うワード線は別ポートの同一行のワード線となる。

【0029】

このようなワード線の配置では、第1ポートの行選択アドレス信号によって1行目が選択されて、ワード線WLA0がLレベルからHレベルへ立ち上がったとする。そして、ほぼ同じタイミングで第2ポートの行選択アドレス信号によって2行目が選択されて、ワード線WLB1がLレベルからHレベルへ立ち上がったとする。

【0030】

すると、ワード線WLA0とワード線WLB1とに挟まれたワード線WLB0の電位は、ワード線WLA0との間で生じるカップリング容量C1およびワード線WLB1との間で生じるカップリング容量C2の影響を受ける。これによって、ワード線WLB0の電位は、図5に示すように、ワード線WLA0、WLB1と同じように変化しようとする。

【0031】

このワード線WLB0は、ワード線ドライバによりLレベルにドライブされているため、ワード線WLB0の電位は一瞬上昇しても、すぐにLレベルに戻る。しかし、このようにカップリング容量によってワード線WLB0に生じたLレベルからの電位の変化は、カップリングノイズとなる。このノイズが生じると、ワード線WLB0が接続されているメモリセルMC0のアクセストランジスタN3b、N4bが一瞬開いてしまう。このため、メモリセルMC0に誤った書込みが生じて、メモリセルMC0の保持データを破壊してしまう危険性が高くなる。

【0032】

これに対して、本実施の形態では、図3に示すように、ワード線WLA0～WLA2の各々と、ワード線WLB0～WLB2の各々が平面レイアウトにおいて交互に配置されている。1行目の第2ポートのワード線WLB0に着目すると、このワード線WLB0は、一方側にてワード線WLA0と隣合っており、かつ他方側にてワード線WLA1と隣合っている。つまり、任意のワード線の一方側にて隣合うワード線と他方側にて隣合うワード線とは互いに同一ポートのワード線となる。

【0033】

この同一ポートのワード線は、行選択アドレス信号によって同時に選択されることはなく、どちらか一方のワード線はワード線ドライバ回路によりLレベルに固定されている。このため、ワード線WLB0の一方側にて隣合うワード線WLA0が選択された場合には、他方側にて隣合うワード線WLA1は選択されない。

【0034】

よって、図6を参照して、ワード線WLB0の一方側のワード線WLA0の電位の変化によりワード線WLB0とワード線WLA0との間で生じるカップリング容量C1が変化するが、ワード線WLB0の他方側のワード線WLA1の電位はLレベルで一定であるためワード線WLB0とワード線WLA1との間で生じるカップリング容量C2は変化せずワード線WLB0の電位に影響を与えない。したがって、本実施の形態では、図7に示すようにワード線WLB0がカップリング容量の影響を受けにくいため、図4および図5の場合よりも、カップリング

ノイズを低減することができ、メモリセル面積を増加させることなく、誤動作を防止することができる。

【0035】

(実施の形態2)

本実施の形態においては、実施の形態1のワード線配置を実現する具体的なレイアウト構成例について説明する。

【0036】

図8および図9は、本発明の実施の形態2における2ポートSRAMメモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図である。また、図10は、図8および図9のメモリセル2ビット分の等価回路を示す回路図である。

【0037】

なお、図8はトランジスタ形成層から第1金属配線層までのレイアウト構成例を示しており、図9は第1ビアホールから第3金属配線層までのレイアウト構成例を示している。

【0038】

まず1ビット分のメモリセルMC1のレイアウト構成について説明する。

主に図8を参照して、半導体基板の表面に、1つのn型ウェル領域NWと、そのn型ウェル領域NWを挟む2つのp型ウェル領域PW0、PW1とが形成されている。pMOSトランジスタP1、P2はn型ウェルNW内に形成されている。また、nMOSトランジスタN1、N3b、N4bはp型ウェルPW0内に形成されており、nMOSトランジスタN2、N3a、N4aはp型ウェルPW1内に形成されている。

【0039】

pMOSトランジスタP1は、p型拡散領域FL13よりなるソースと、p型拡散領域FL14よりなるドレインと、ゲートPL1とを有している。pMOSトランジスタP2は、p型拡散領域FL11よりなるソースと、p型拡散領域FL12よりなるドレインと、ゲートPL2とを有している。

【0040】

nMOSトランジスタN1は、n型拡散領域FL1よりなるソースと、n型拡散領域FL2よりなるドレインと、ゲートPL1とを有している。nMOSトランジスタN2は、n型拡散領域FL4よりなるソースと、n型拡散領域FL5よりなるドレインと、ゲートPL2とを有している。

【0041】

nMOSトランジスタN3aは、n型拡散領域FL7よりなるソースと、n型拡散領域FL8よりなるドレインと、ゲートPL4とを有している。nMOSトランジスタN3bは、n型拡散領域FL2よりなるソースと、n型拡散領域FL3よりなるドレインと、ゲートPL3とを有している。

【0042】

nMOSトランジスタN4aは、n型拡散領域FL5よりなるソースと、n型拡散領域FL6よりなるドレインと、ゲートPL4とを有している。nMOSトランジスタN4bは、n型拡散領域FL9よりなるソースと、n型拡散領域FL10よりなるドレインと、ゲートPL3とを有している。

【0043】

各n型拡散領域はp型ウェルPW0、PW1の活性領域内にn型不純物を注入することにより形成される。また、各p型拡散領域はn型ウェルNWの活性領域内にp型不純物を注入することにより形成される。

【0044】

nMOSトランジスタN1のn型拡散領域FL2とnMOSトランジスタN3bのn型拡散領域FL2とは共通の拡散領域より構成されている。nMOSトランジスタN2のn型拡散領域FL5とnMOSトランジスタN4aのn型拡散領域FL5とは共通の拡散領域より構成されている。

【0045】

pMOSトランジスタP1とnMOSトランジスタN1との各ゲートPL1は共通のドーフト多結晶シリコン（不純物が導入された多結晶シリコン）配線で構成されている。またpMOSトランジスタP2とnMOSトランジスタN2との各ゲートPL2は共通のドーフト多結晶シリコン配線で構成されている。nMOSトランジスタN3aとN4aとの各ゲートPL4は共通のドーフト多結晶シリ

コン配線で構成されている。nMOSトランジスタN3bとN4bとの各ゲートPL3は共通のドーフト多結晶シリコン配線で構成されている。

【0046】

ゲートPL1とp型拡散領域FL12とn型拡散領域FL5との各々は、シェアードコンタクトSCとコンタクトC1とを介して記憶端子Naに対応する第1金属配線により低インピーダンスで電氣的に接続されている。またゲートPL1とn型拡散領域FL9とは、シェアードコンタクトSCを介して第1金属配線CSCにより電氣的に接続されている。

【0047】

ゲートPL2とp型拡散領域FL14とn型拡散領域FL2との各々は、シェアードコンタクトSCとコンタクトC1とを介して記憶端子Nbに対応する第1金属配線により低インピーダンスで電氣的に接続されている。またゲートPL2とn型拡散領域FL7とは、シェアードコンタクトSCを介して第1金属配線CSCにより電氣的に接続されている。

【0048】

主に図8および図9を参照して、p型拡散領域FL11とFL13との各々にはコンタクトC1を介して別々の第1金属配線VDD1が電氣的に接続されており、その別々の第1金属配線VDD1は第1ビアホールT1を介してVDD電位となる第2金属配線に電氣的に接続されている。

【0049】

n型拡散領域FL8にはコンタクトC1を介して第1金属配線BLA1が電氣的に接続されており、その第1金属配線BLA1は第1ビアホールT1を介してビット線BLAとなる第2金属配線に電氣的に接続されている。n型拡散領域FL6はコンタクトC1を介して第1金属配線／BLA1に電氣的に接続されており、その第1金属配線／BLA1は第1ビアホールT1を介してビット線／BLAとなる第2金属配線に電氣的に接続されている。n型拡散領域FL4にはコンタクトC1を介して第1金属配線GND1が電氣的に接続されており、その第1金属配線GND1には第1ビアホールT1を介して接地線GNDとなる第2金属配線が電氣的に接続されている。

【0050】

n型拡散領域FL3にはコンタクトC1を介して第1金属配線BLB1が電氣的に接続されており、その第1金属配線BLB1は第1ビアホールT1を介してビット線BLBとなる第2金属配線に電氣的に接続されている。n型拡散領域FL10はコンタクトC1を介して第1金属配線／BLB1に電氣的に接続されており、その第1金属配線／BLB1は第1ビアホールT1を介してビット線／BLBとなる第2金属配線に電氣的に接続されている。n型拡散領域FL1にはコンタクトC1を介して第1金属配線GND1が電氣的に接続されており、その第1金属配線GND1には第1ビアホールT1を介して接地線GNDとなる第2金属配線が電氣的に接続されている。

【0051】

メモリセル領域内に配置されるすべての第2金属配線は、互いに平行に配置されており、かつn型ウェルNWとp型ウェルPW0との境界線およびn型ウェルNWとp型ウェルPW1との境界線に対して平行な方向に延びている。

【0052】

ゲートPL4にはゲートコンタクトGCを介して第1金属配線WLAaが電氣的に接続されており、その第1金属配線WLAaは第1ビアホールT1を介して第2金属配線WLabが電氣的に接続されており、その第2金属配線WLabは第2ビアホールT2を介してワード線WLA1となる第3金属配線に電氣的に接続されている。ゲートPL3にはゲートコンタクトGCを介して第1金属配線WLBaが電氣的に接続されており、その第1金属配線WLBaは第1ビアホールT1を介して第2金属配線WLBbが電氣的に接続されており、その第2金属配線WLBbは第2ビアホールT2を介してワード線WLB1となる第3金属配線に電氣的に接続されている。

【0053】

メモリセル領域内に配置されるすべての第3金属配線も、互いに平行に配置されており、かつn型ウェルNWとp型ウェルPW0との境界線およびn型ウェルNWとp型ウェルPW1との境界線に対して直交する方向に延びている。

【0054】

次に、互いに隣接するメモリセルMC1とMC2とのレイアウト構成について説明する。

【0055】

図8および図9を参照して、メモリセルMC1に隣接するメモリセルMC2のトランジスタ形成層から第2金属配線層までの平面レイアウト構成は、メモリセルMC1とメモリセルMC2との境界線(X-X線)に対して、メモリセルMC1の平面レイアウトと線対称の構成を有している。これにより、第2金属配線層よりなるGND線、VDD線、ビット線対BLA、/BLA、BLB、/BLBは、隣接したメモリセル(たとえばMC1とMC2)とで共有されている。また、線対称に配置されているため、容量値などの特性のずれを最小限にすることができる。

【0056】

これに対して、メモリセルMC1に隣接するメモリセルMC2の第2ビアホールT2と第3金属配線層との各々の平面レイアウト構成は、メモリセルMC1の平面レイアウト構成と同じ構成を有している。つまり、メモリセルMC1とMC2との双方において、第1ポートに接続された第3金属配線層よりなるワード線WLA1、WLA2の各々は、第2ポートに接続された第3金属配線層よりなるワード線WLB1、WLB2の各々よりも図中上側に配線されている。言い換えれば、第1ポートに接続された第3金属配線層よりなるワード線WLA1、WLA2の各々と、第2ポートに接続された第3金属配線層よりなるワード線WLB1、WLB2の各々とは、交互に配線されている。

【0057】

上記のようにメモリセルのレイアウトを構成することで、実施の形態1で説明したようにカップリング容量によるワード線のノイズを低減でき、メモリセル面積を増加させずに、誤動作を防止することができる。

【0058】

(実施の形態3)

本実施の形態では、実施の形態1および2とは異なるタイプであって、読出し専用ポートを備えた2ポートSRAMメモリセルについて説明する。

【0059】

図11は、本発明の実施の形態3における2ポートSRAMメモリセルの等価回路を示す回路図である。図11を参照して、このメモリセルMCは、2つのドライバトランジスタN1、N2と、2つの負荷トランジスタP1、P2と、2つのアクセストランジスタN3、N4と、読出専用ポートを構成するnMOSトランジスタN5、N6とを有している。

【0060】

2つのドライバトランジスタN1、N2と、2つのアクセストランジスタN3、N4と、トランジスタN5、N6とはnMOSトランジスタで構成されており、2つの負荷トランジスタP1、P2はpMOSトランジスタで構成されている。

【0061】

nMOSトランジスタN1とpMOSトランジスタP1とにより第1のCMOSインバータI1が構成され、nMOSトランジスタN2とpMOSトランジスタP2とにより第2のCMOSインバータI2が構成されている。第1および第2のインバータI1、I2の一方の出力端子は他方の入力端子に互いに接続されることによりフリップフロップ回路が構成され、記憶ノードNa、Nbが構成されている。

【0062】

ドライバトランジスタN1、N2の各ソースはGND電位に接続されており、負荷トランジスタP1、P2の各ソースはVDD電位に接続されている。

【0063】

nMOSトランジスタN3のソース、ゲートおよびドレインの各々は、一方の記憶端子Na、書込み用ワード線WWLおよび一方の書込み用ビット線WBLの各々に接続されている。nMOSトランジスタN4のソース、ゲートおよびドレインの各々は、他方の記憶端子Nb、書込み用ワード線WLおよび他方の書込み用ビット線/WBLの各々に接続されている。

【0064】

第1ポートには、このnMOSトランジスタN3、N4と書込み用ワード線W

WLと、書込み用ビット線対WBL、/WBLとが接続されている。このように第1ポートにメモリセル内の2つのアクセストランジスタを接続しているため、差動方式での安定した書込み・読出し動作ができる。

【0065】

第2ポートには、nMOSトランジスタN5、N6と、読出し用ビット線RBLと、読出し用ワード線RWLとが接続されている。nMOSトランジスタN5のドレインとnMOSトランジスタN6のソースとが共通に接続されている。nMOSトランジスタN5のソースおよびゲートの各々は、接地線GND2および記憶ノードNbの各々に接続されている。nMOSトランジスタN6のドレインおよびゲートの各々は、読出し用ビット線RBLおよび読出し用ワード線RWLの各々に接続されている。

【0066】

以上のように接続することで、読出し専用ポートを備えた2ポートSRAMメモリセル回路が構成される。

【0067】

次に、図11の等価回路図を用いた回路動作の一例について説明する。

まず第1ポートにおいて保持データを読出す場合について説明する。ワード線WWLは最初「L」レベルであり、アクセストランジスタN3はOFF状態で保持状態にある。読出し動作が始まると、ワード線WWLが「H」レベルになり、アクセストランジスタN3がON状態になる。すると、記憶ノードNaとビット線WBLとが電氣的に接続状態になる。仮に記憶ノードNaが「H」レベルを保持していたとすると、ビット線WBLに「H」レベルが読出される。逆に記憶ノードNaが「L」レベルを保持していたとすると、ビット線WBLには「L」レベルが読出される。その後、ワード線WWLは「L」レベルに戻り、アクセストランジスタN3はOFF状態になって再び保持状態に戻る。

【0068】

次に、第1ポートにおける書込み動作について説明する。記憶ノードNaに「H」レベルを書込む場合はビット線WBLは「H」レベルに、「L」レベルを書込む場合はビット線WBLは「L」レベルにドライバ回路（図示せず）によって

ドライブされている。ワード線WWLを「L」レベルから「H」レベルにすると、アクセストランジスタN3がOFF状態からON状態となり、ビット線WBLと記憶ノードNaとが電氣的に接続状態になる。ビット線WBLは強くドライブされているため、記憶ノードNaは保持データに拘らずビット線WBLのレベルに変化する。たとえば、ビット線WBLが「L」レベルにドライブされていると、記憶ノードNaも「L」レベルとなり、反対側の記憶ノードNbは「H」レベルとなる。逆にビット線WBLが「H」レベルにドライブされていると、記憶ノードNaも「H」レベルとなり、反対側の記憶ノードNbは「L」レベルとなる。その後、書込み用ワード線WWLが「H」レベルから「L」レベルになり、アクセストランジスタN3がOFF状態になると、各々の記憶ノードNa、Nbが書込まれたレベルで安定しデータが保持される。以上で書込み動作が完了する。

【0069】

次に、第2ポートにおける読出し動作について説明する。

非読出し状態の場合、読出し用ビット線RBLが予め「H」レベルにプリチャージされる。また、読出し用ワード線RWLは「L」レベル、すなわちnMOSトランジスタN6はOFF状態である。仮に記憶ノードNaがHレベルであるとすると、nMOSトランジスタN5はON状態である。

【0070】

読出し動作が始まり、読出し用ワード線RWLが「L」レベルから「H」レベルに変化すると、nMOSトランジスタN6はOFF状態からON状態に変化する。すると、読出し用ビット線RBLと接地線GND2とがnMOSトランジスタN5、N6を介して電氣的に導通状態になるため、読出し用ビット線RBLはプリチャージレベルである「H」レベルから「L」レベルに変化し、記憶ノードNaの反転データである「L」レベルが読出される。その後、ワード線RWLが「H」レベルから「L」レベルに戻ると、nMOSトランジスタN6がOFF状態になり、読出し用ビット線RBLと接地線GND2とは電氣的に遮断される。そして、次の読出し動作のために読出し用ビット線RBLが再び「H」レベルにプリチャージされて読出し動作が完了する。

【0071】

一方、仮に記憶ノードNaが「L」レベルであったとすると、nMOSトランジスタN5はOFF状態である。読出し動作が始まり、読出し用ワード線RWLが「L」レベルから「H」レベルに変化すると、nMOSトランジスタN6はOFF状態からON状態に変化するがnMOSトランジスタN5がOFF状態であるため、読出し用ビット線RBLはプリチャージレベルである「H」レベルのままで変化しない。こうして、記憶ノードNaの反転データである「H」レベルが読出される。その後、ワード線RWLが「H」レベルから「L」レベルに戻り読出し動作が完了する。

【0072】

以上説明したように、第2ポートでは書込み動作はできず、読出し動作のみが行なわれる。

【0073】

次に、上記の2ポートSRAMメモリセルの平面レイアウト構成について説明する。

【0074】

図12および図13は、本発明の実施の形態3における2ポートSRAMメモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図である。また、図14は、図12および図13のメモリセル2ビット分の等価回路を示す回路図である。

【0075】

なお、図12はトランジスタ形成層から第1金属配線層までのレイアウト構成例を示しており、図13は第1ビアホールから第3金属配線層までのレイアウト構成例を示している。

【0076】

まず1ビット分のメモリセルMC1のレイアウト構成について説明する。

主に図12を参照して、半導体基板の表面に、1つのn型ウェル領域NWと、そのn型ウェル領域NWを挟む2つのp型ウェル領域PW0、PW1とが形成されている。pMOSトランジスタP1、P2はn型ウェルNW内に形成されている。また、nMOSトランジスタN1、N3、N4はp型ウェルPW0内に形成

されており、nMOSトランジスタN2、N5、N6はp型ウェルPW1内に形成されている。

【0077】

pMOSトランジスタP1は、p型拡散領域FL112よりなるソースと、FL110よりなるドレインと、ゲートPL1とを有している。pMOSトランジスタP2は、p型拡散領域FL113よりなるソースと、p型拡散領域FL111よりなるドレインと、ゲートPL2とを有している。

【0078】

nMOSトランジスタN1は、n型拡散領域FL200よりなるソースと、n型拡散領域FL210よりなるドレインと、ゲートPL1とを有している。nMOSトランジスタN2は、n型拡散領域FL201よりなるソースと、n型拡散領域FL211よりなるドレインと、ゲートPL2とを有している。

【0079】

nMOSトランジスタN3は、n型拡散領域FL210よりなるソースと、n型拡散領域FL220よりなるドレインと、ゲートPL3とを有している。nMOSトランジスタN4は、n型拡散領域FL212よりなるソースと、n型拡散領域FL221よりなるドレインと、ゲートPL3とを有している。

【0080】

nMOSトランジスタN5は、1対のn型拡散領域FL202、FL240よりなるソースおよびドレインと、ゲートPL2とを有している。nMOSトランジスタN6は、1対のn型拡散領域FL240、FL230よりなるソースおよびドレインと、ゲートPL4とを有している。

【0081】

各n型拡散領域はp型ウェルPW0、PW1の活性領域内にn型不純物を注入することにより形成される。また、各p型拡散領域はn型ウェルNWの活性領域内にp型不純物を注入することにより形成される。

【0082】

nMOSトランジスタN1のn型拡散領域FL210とnMOSトランジスタN3のn型拡散領域FL210とは共通の拡散領域より構成されている。nMO

SトランジスタN5のn型拡散領域FL240とnMOSTランジスタN6のn型拡散領域FL240とは共通の拡散領域より構成されている。

【0083】

pMOSTランジスタP1とnMOSTランジスタN1との各ゲートPL1は共通のドーフト多結晶シリコン配線で構成されている。またpMOSTランジスタP2とnMOSTランジスタN2とN5との各ゲートPL2は共通のドーフト多結晶シリコン配線で構成されている。nMOSTランジスタN3とN4との各ゲートPL3は共通のドーフト多結晶シリコン配線で構成されている。

【0084】

ゲートPL2とp型拡散領域FL110とn型拡散領域FL210との各々は、コンタクトホールを介して記憶端子Naに対応する第1金属配線により低インピーダンスで電氣的に接続されている。ゲートPL1とp型拡散領域FL111とn型拡散領域FL211との各々は、コンタクトホールを介して記憶端子Nbに対応する第1金属配線により低インピーダンスで電氣的に接続されている。また、ゲートPL1は、n型拡散領域FL212にも電氣的に接続されている。

【0085】

主に図12および図13を参照して、p型拡散領域FL112とFL113との各々にはコンタクトホールを介して別々の第1金属配線が電氣的に接続されており、その別々の第1金属配線は第1ビアホールT1を介してVDD電位となる第2金属配線に電氣的に接続されている。

【0086】

n型拡散領域FL220にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線は第1ビアホールT1を介して第1ポートの書込み用ワード線WBLとなる第2金属配線に電氣的に接続されている。n型拡散領域FL221はコンタクトホールを介して第1金属配線に電氣的に接続されており、その第1金属配線は第1ビアホールT1を介して第1ポートの書込み用ビット線/WBLとなる第2金属配線に電氣的に接続されている。n型拡散領域FL200にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して接地線GND1となる

第2金属配線が電氣的に接続されている。

【0087】

n型拡散領域FL230にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して第2ポートの読出し用ビット線RBLとなる第2金属配線が電氣的に接続されている。n型拡散領域FL201にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して接地線GND1となる第2金属配線が電氣的に接続されている。n型拡散領域FL202にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して接地線GND2となる第2金属配線が電氣的に接続されている。

【0088】

メモリセル領域内に配置されるすべての第2金属配線は、互いに平行に配置されており、かつn型ウェルNWとp型ウェルPW0との境界線およびn型ウェルNWとp型ウェルPW1との境界線に対して平行な方向に延びている。

【0089】

ゲートPL3にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して第2金属配線が電氣的に接続されており、その第2金属配線には第2ビアホールT2を介して第1ポートの書込み用ワード線WWLとなる第3金属配線が電氣的に接続されている。またゲートPL4にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して第2金属配線が電氣的に接続されており、その第2金属配線には第2ビアホールT2を介して第2ポートの読出し用ワード線RWLとなる第3金属配線が電氣的に接続されている。

【0090】

メモリセル領域内に配置されるすべての第3金属配線も、互いに平行に配置されており、かつn型ウェルNWとp型ウェルPW0との境界線およびn型ウェルNWとp型ウェルPW1との境界線に対して直交する方向に延びている。

【0091】

次に、互いに隣接するメモリセルMC1とMC2とのレイアウト構成について説明する。

【0092】

図12および図13を参照して、メモリセルMC1に隣接するメモリセルMC2のトランジスタ形成層から第2金属配線層までの平面レイアウト構成は、メモリセルMC1とメモリセルMC2との境界線（X-X線）に対して、メモリセルMC1の平面レイアウトと線対称の構成を有している。これにより、第2金属配線層よりなるGND1線、GND2線、VDD線、ビット線WBL、 \overline{WBL} 、RBLは、隣接したメモリセル（たとえばMC1とMC2）とで共有されている。

【0093】

これに対して、メモリセルMC1に隣接するメモリセルMC2の第2ビアホールT2と第3金属配線層との各々の平面レイアウト構成は、メモリセルMC1の平面レイアウト構成と同じ構成を有している。つまり、メモリセルMC1とMC2との双方において、第2ポートに接続された第3金属配線層よりなるワード線RWL1、RWL2の各々は、第1ポートに接続された第3金属配線層よりなるワード線WWL1、WWL2の各々よりも図中上側に配線されている。言い換えれば、第2ポートに接続された第3金属配線層よりなるワード線RWL1、RWL2の各々と、第1ポートに接続された第3金属配線層よりなるワード線WWL1、WWL2の各々とは、交互に配線されている。

【0094】

上記のようにメモリセルのレイアウトを構成することで、実施の形態1で説明したようにカップリング容量によるワード線のノイズを低減でき、メモリセル面積を増加させずに、誤動作を防止することができる。

【0095】

（実施の形態4）

本実施の形態は、連想メモリ（CAM：Content Addressable Memory）に関するものである。近年、コンピュータの高速化のためにキャッシュメモリをチップ

内に搭載することが求められている。チップ外部の大容量メモリはアクセスに時間がかかるため、その外部メモリのあるアドレス空間に記録されているデータをチップ内の高速なキャッシュメモリに転送してCPUの高速化を図るという手法が採られる。その際、キャッシュメモリにデータが転送されているか否かを瞬時に検索する必要があり、その比較一致検索機能を有するのが連想メモリである。

【0096】

図15は、本発明の実施の形態4における連想メモリのメモリセルの等価回路を示す回路図である。図15を参照して、メモリセルは、2つのドライバトランジスタN1、N2と、2つの負荷トランジスタP1、P2と、2つのアクセストランジスタN3、N4と、nMOSトランジスタN5～N7とを有している。2つのドライバトランジスタN1、N2と、2つのアクセストランジスタN3、N4とはnMOSトランジスタで構成されており、2つの負荷トランジスタP1、P2はpMOSトランジスタで構成されている。

【0097】

nMOSトランジスタN1とpMOSトランジスタP1とにより第1のCMOSインバータI1が構成され、nMOSトランジスタN2とPMOSトランジスタP2とにより第2のCMOSインバータI2が構成されている。第1および第2のインバータI1、I2の一方の出力端子は他方の入力端子に互いに接続されることによりフリップフロップ回路が構成され、記憶ノードNa、Nbが構成されている。

【0098】

ドライバトランジスタN1、N2の各ソースはGND電位に接続されており、負荷トランジスタP1、P2の各ソースはVDD電位に接続されている。

【0099】

nMOSトランジスタN3のソース、ゲートおよびドレインの各々は、一方の記憶端子Na、ワード線WLおよび一方の正相ビット線BLの各々に接続されている。nMOSトランジスタN4のソース、ゲートおよびドレインの各々は、他方の記憶端子b、ワード線WLおよび他方の逆相ビット線／BLの各々に接続されている。

【0100】

nMOSトランジスタN5、N6の各ドレインは互いに電氣的に接続されて内部ノードNcを構成している。nMOSトランジスタN5のソースおよびゲートの各々は、サーチ線SL、記憶ノードNbの各々に接続されている。nMOSトランジスタN6のソースおよびゲートの各々は、サーチ線/S L、記憶ノードNaの各々に電氣的に接続されている。nMOSトランジスタN7のゲート、ソースおよびドレインの各々は、内部ノードNc、接地線GND2、マッチ線MLの各々に接続されている。このようにして連想メモリが構成されている。

【0101】

なお、マッチ線MLとは、検索データと記憶データとの一致・不一致を示す信号を伝達するものである。

【0102】

次に、連想メモリの比較動作について説明する。

まず初期状態においてはサーチ線対SL、/SLは共に「L」レベルである。仮に記憶ノードNa、Nbのデータが各々「H」レベル、「L」レベルであったとすると、nMOSトランジスタN6はON状態、nMOSトランジスタN5はOFF状態となっている。したがって、内部ノードNcはnMOSトランジスタN6を介してサーチ線/S Lと電氣的に接続状態であり「L」レベルになる。nMOSトランジスタN7はOFF状態であるため、マッチ線MLと接地線GND2とは電氣的に遮断状態である。マッチ線MLは予め「H」レベルにプリチャージされている。

【0103】

比較動作が始まると、比較したいデータに応じてサーチ線SLまたは/S Lのどちらか一方が「L」レベルから「H」レベルにドライブされる。いま、記憶ノードNaに保持されているデータが「H」であるか「L」であるかを比較するために、検索データとしてサーチ線SLは「L」レベルのままにし、サーチ線/S Lを「H」レベルにドライブしたとする。すると、nMOSトランジスタN5はOFF状態、nMOSトランジスタN6はON状態であるため、内部ノードNcはサーチ線/S Lと電氣的に接続状態であるため「H」レベルとなり、nMOS

トランジスタN7がON状態となる。マッチ線MLはnMOSTランジスタN7を介して接地線GND2と電氣的に接続状態となる。したがって、マッチ線MLは初期状態「H」レベルから「L」レベルに変化し、比較結果が不一致であったという情報が得られる。

【0104】

一方、検索データとしてサーチ線/SLは「L」レベルのままにし、サーチ線SLを「H」レベルにドライブしたとする。その場合は、nMOSTランジスタN6を介して内部ノードNcはサーチ線/SLと電氣的に接続されているため「L」レベルになる。nMOSTランジスタN7はOFF状態であり、マッチ線MLは接地電位GND2と電氣的に遮断状態であり、マッチ線MLは初期プリチャージ状態である「H」レベルに保持される。その結果、比較結果が一致したという情報が得られる。その後、サーチ線対SL、/SLを共に「L」レベルに戻し、マッチ線MLを再びプリチャージして「H」レベルにすることで比較動作が完了する。

【0105】

なお、通常の読出動作および書込動作については説明の便宜上省略する。

図16は、本発明の実施の形態4における連想メモリセルを3行分並べた場合のワード線およびマッチ線の配置を示す平面レイアウト図である。図16を参照して、本実施の形態では、各行毎にワード線とマッチ線とが互いに平行に延びている。また、ワード線とマッチ線との平面レイアウトは、隣接する行の境界線（1点鎖線）に対して、隣接する行同士で互いに線対称となっている。つまり、互いに隣合う1行目と2行目とにおいて1行目のマッチ線ML0と2行目のマッチ線ML1とが互いに隣合っており、かつ互いに隣合う2行目と3行目とにおいて2行目のワード線WL1と3行目のワード線WL2とが互いに隣合っており、このような構成が繰返されている。このため、図16の上側から順に、ワード線WL0、マッチ線ML0、マッチ線ML1、ワード線WL1、ワード線WL2、マッチ線ML2の順で、各ワード線およびマッチ線が平面的に配置されている。

【0106】

本実施の形態によれば、上記のようにワード線およびマッチ線が平面的に配置

されることにより、図17に示すように配線間のカップリングノイズの影響を実施の形態1と同様に低減することができる。以下、そのことを説明する。

【0107】

連想メモリで問題となるのは、一致比較動作終了後にマッチ線MLをプリチャージする場合である。一致比較動作では、予め「H」レベルにプリチャージしておいたマッチ線MLの大半が「H」レベルに変化する。一致した行（多くても1行のみ）のマッチ線MLが「L」レベルを保持するが、一致しなかった場合は全てのマッチ線MLが変化し「L」レベルとなる。一致比較動作終了後は、マッチ線を再び「H」レベルにプリチャージするため、大半のマッチ線MLが「L」レベルから「H」レベルに変化する。

【0108】

たとえば図17のマッチ線ML1とML2とが「L」レベルになった後、再びプリチャージされる場合を考える。一致比較動作中は同時に読出し動作や書込み動作は行なわれない。したがって、全ワード線WL0～WL2は「L」レベルである。マッチ線ML1とML2とが、「L」レベルから「H」レベルに変化すると、隣合うワード線WL1とWL2とはカップリング容量C3とC5とによって同じように「L」レベルから「H」レベルに変化しようとする。しかし、全ワード線WL0～WL2は選択されていないため、図示しないワード線ドライバ回路によって「L」レベルにドライブされており、「L」レベルから電位が一瞬上昇しても、またすぐに「L」レベルに戻される。つまり、ワード線WL1の一方側にて隣合うマッチ線ML1が「L」レベルから「H」レベルに変化しても、他方側にて隣合うワード線WL2の電位はほとんど変化しない。

【0109】

よって、ワード線WL1の一方側のマッチ線ML1の電位の変化によりワード線WL1とマッチ線ML1との間で生じるカップリング容量C3の影響を受ける。ワード線WL1の他方側のワード線WL2の電位は「L」レベルで一定であるためワード線WL1とワード線WL2との間で生じるカップリング容量C4はワード線WL1の電位に影響を与えない。したがって、本実施の形態では、図17に示すようにワード線WL1がカップリング容量の影響を受けにくいため、カッ

プリングノイズを低減することができ、メモリセル面積を増加させることなく、誤動作を防止することができる。

【0110】

これに対して、ワード線とマッチ線とを実施の形態1の2ポートメモリで示したように順番に配線したとすると、各ワード線の両側にて隣合う配線がマッチ線となってしまうため、ワード線が両側の各マッチ線との間のカップリングノイズの影響を受けてしまう。

【0111】

このように本実施の形態では、実施の形態1と同様、メモリセル面積を増大させることなく、配線間のカップリングノイズを低減することが可能となる。

【0112】

次に、上記の連想メモリセルの平面レイアウト構成について説明する。

図18および図19は、本発明の実施の形態4における連想メモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図である。

【0113】

なお、図18はトランジスタ形成層から第1金属配線層までのレイアウト構成例を示しており、図19は第1ビアホールから第3金属配線層までのレイアウト構成例を示している。

【0114】

まず1ビット分のメモリセルMC1のレイアウト構成について説明する。

図15、図18および図19を参照して、本実施の形態のレイアウト構成は、図11～図13の構成と比較して、読出し専用ポートを構成するnMOSトランジスタN5、N6の代わりに連想メモリ用のnMOSトランジスタN5～N8を設けた点と、読出し用ビット線RBLおよび読出し用ワード線RWLとの代わりにサーチ線対SL、/SLおよびマッチ線MLとを設けた点とにおいて主に異なる。

【0115】

主に図18を参照して、連想メモリ用のnMOSトランジスタN5～N7の各々は、p型ウェルPW1内に形成されている。nMOSトランジスタN5は、1

対のn型拡散領域FL230、FL203よりなるソースおよびドレインと、ゲートPL1とを有している。nMOSトランジスタN6は、1対のn型拡散領域FL202、FL203よりなるソースおよびドレインと、ゲートPL2とを有している。nMOSトランジスタN7は、1対のn型拡散領域FL204、FL205よりなるソースおよびドレインと、ゲートPL4とを有している。

【0116】

nMOSトランジスタN5とN6との各n型拡散領域FL203は共通の拡散領域より構成されており、コンタクトホールを介して第1金属配線NcによりゲートPL4と電氣的に接続されている。nMOSトランジスタN5のゲートPL1とnMOSトランジスタN1のゲートPL1とpMOSトランジスタP1のゲートPL1とは、共通のドーフト多結晶シリコン配線より構成されている。nMOSトランジスタN6のゲートPL2とnMOSトランジスタN2のゲートPL2とpMOSトランジスタP2のゲートPL2とは、共通のドーフト多結晶シリコン配線より構成されている。

【0117】

図18および図19を参照して、n型拡散領域FL230にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介してサーチ線SLとなる第2金属配線が電氣的に接続されている。n型拡散領域FL202にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介してサーチ線／SLとなる第2金属配線が電氣的に接続されている。n型拡散領域FL204にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して接地線GND2となる第2金属配線が電氣的に接続されている。これらの第2金属配線は他の第2金属配線と平行に延びている。

【0118】

n型拡散領域FL205にはコンタクトホールを介して第1金属配線が電氣的に接続されており、その第1金属配線には第1ビアホールT1を介して第2金属配線が電氣的に接続されており、その第2金属配線には第2ビアホールT2を介

してマッチ線MLとなる第3金属配線が電氣的に接続されている。このマッチ線MLは、ワード線WLと平行に延びている。

【0119】

次に、互いに隣接するメモリセルMC1とMC2とのレイアウト構成について説明する。

【0120】

図18および図19を参照して、メモリセルMC1に隣接するメモリセルMC2のトランジスタ形成層から第3金属配線層までの平面レイアウト構成は、メモリセルMC1とメモリセルMC2との境界線(X-X線)に対して、メモリセルMC1の平面レイアウトと線対称の構成を有している。これにより、第2金属配線層よりなるGND1線、GND2線、VDD線、ビット線WBL、 \angle WBL、RBLは、隣接したメモリセル(たとえばMC1とMC2)とで共有されている。

【0121】

また、互いに隣合う1行目と2行目とにおいて1行目のマッチ線ML0と2行目のマッチ線ML1とが互いに隣合い、かつ互いに隣合う2行目と3行目とにおいて2行目のワード線WL1と3行目のワード線WL2とが互いに隣合うよう構成されている。

【0122】

なお、これ以外のレイアウト構成については、図12および図13の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0123】

上記のようにメモリセルのレイアウトを構成することで、カップリング容量によるワード線のノイズを低減でき、メモリセル面積を増加させずに、誤動作を防止することができる。

【0124】

(実施の形態5)

図20は、本発明の実施の形態5における連想メモリセルの等価回路を示す回

路図である。図20を参照して、本実施の形態の等価回路の構成は、図15に示す実施の形態4の構成と比較して、nMOSトランジスタN8が追加されている点において異なる。このnMOSトランジスタN8のゲート、ソースおよびドレインの各々が、内部ノードNc、接地電位GND2およびマッチ線MLの各々に電氣的に接続されている。

【0125】

なお、これ以外の等価回路の構成については、図15に示す構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明は省略する。

【0126】

本実施の形態においても、ワード線とマッチ線との平面レイアウトは、実施の形態4と同様、図16に示すように、隣接する行の境界線（1点鎖線）に対して、隣接する行同士で互いに線対称となっている。つまり、互いに隣合う1行目と2行目とにおいて1行目のマッチ線ML0と2行目のマッチ線ML1とが互いに隣合っており、かつ互いに隣合う2行目と3行目とにおいて2行目のワード線WL1と3行目のワード線WL2とが互いに隣合っている。また、図16の上側から順に、ワード線WL0、マッチ線ML0、マッチ線ML1、ワード線WL1、ワード線WL2、マッチ線ML2の順で、各ワード線およびマッチ線が平面的に配置されている。

【0127】

このようにワード線およびマッチ線が平面的に配置されることにより、図21に示すように配線間のカップリングノイズの影響を実施の形態4と同様に低減することができる。

【0128】

また、本実施の形態では、nMOSトランジスタN8を追加したことにより、マッチ線MLの引き抜きを早くすることができるため、比較動作の高速化を図ることができる。

【0129】

次に、上記の連想メモリセルの平面レイアウト構成について説明する。

図22および図23は、本発明の実施の形態5における連想メモリセルを同一

列に2ビット分並べたときのレイアウト構成例を示す平面図である。

【0130】

なお、図22はトランジスタ形成層から第1金属配線層までのレイアウト構成例を示しており、図23は第1ビアホールから第3金属配線層までのレイアウト構成例を示している。

【0131】

図22を参照して、本実施の形態のレイアウト構成は、図18および図19の構成と比較して、nMOSトランジスタN8が追加されている点において主に異なる。

【0132】

nMOSトランジスタN8はp型ウェルPW1内に形成されている。nMOSトランジスタN8は、1対のn型拡散領域FL206、FL205よりなるソースおよびドレインと、ゲートPL4とを有している。

【0133】

nMOSトランジスタN7とN8との各n型拡散領域FL205は共通の拡散領域より構成されており、各ゲートPL4は共通のドーフト多結晶シリコン配線より構成されている。

【0134】

図22および図23を参照して、n型拡散領域FL204とFL206との各々にはコンタクトホールを介して別々の第1金属配線が電氣的に接続されており、その別々の第1金属配線の各々には第1ビアホールを介して接地線GND2となる第2金属配線が電氣的に接続されている。

【0135】

なお、これ以外のレイアウト構成については、図18および図19の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0136】

(実施の形態6)

実施の形態2および3においてはワード線WLAとWLBとが同一の絶縁層上

に形成された場合について説明したが、ワード線WLAとワード線WLBとは、図24に示すように異なる絶縁層上に形成されていてもよい。具体的には、絶縁層51上に形成されたワード線WLA上に絶縁層52が形成されており、この絶縁層52上にワード線WLBが形成されていてもよい。また、絶縁層51上に形成されたワード線WLB上に絶縁層52が形成されており、この絶縁層52上にワード線WLAが形成されていてもよい。つまり、ワード線WLAとワード線WLBとのいずれか一方は絶縁層52の下側に配置されており、ワード線WLAとワード線WLBとのいずれか他方は絶縁層52の上側に配置されていてもよい。これによりさらにカップリング容量を低減することができる。

【0137】

また、実施の形態4および5においてはワード線WLとマッチ線MLとが同一の絶縁層上に形成された場合について説明したが、ワード線WLとマッチ線MLとは、図24に示すように異なる絶縁層上に形成されていてもよい。具体的には、絶縁層51上に形成されたワード線WL上に絶縁層52が形成されており、この絶縁層52上にマッチ線MLが形成されていてもよい。また、絶縁層51上に形成されたマッチ線ML上に絶縁層52が形成されており、この絶縁層52上にワード線WLが形成されていてもよい。つまり、ワード線WLとマッチ線MLとのいずれか一方は絶縁層52の下側に配置されており、ワード線WLとマッチ線MLとのいずれか他方は絶縁層52の上側に配置されていてもよい。これによりさらにカップリング容量を低減することができる。

【0138】

上記の実施の形態1～5においては、各トランジスタとしてMOSトランジスタについて説明したが、これらのトランジスタは、MIS (Metal Insulator Semiconductor) であってもよい。また、各トランジスタの導電型はp型とn型とが逆であってもよい。

【0139】

また、上記の実施の形態1～3においては、2ポートのメモリセルについて説明したが、2ポート以上のマルチポートメモリセルについても本発明を同様に適用することができる。

【0140】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0141】

【発明の効果】

本発明の半導体記憶装置によれば、複数の第1のワード線の各々と複数の第2のワード線の各々が平面レイアウトにおいて交互に配置されているため、任意のワード線の一方側にて隣合うワード線と他方側にて隣合うワード線とは互いに同一ポートのワード線となる。この同一ポートのワード線は、行選択アドレス信号によって同時に選択されることはなく、どちらか一方のワード線はワード線ドライバ回路により「L」レベルに固定されている。このため、ワード線の一方側のカップリング容量は変化するが、他方側のカップリング容量は変化せずそのワード線の電位に影響を与えない。したがって、ワード線が両側のカップリング容量の影響を受ける場合よりも、カップリング容量の影響を受けにくくすることができる。これにより、カップリングノイズを低減することができ、メモリセル面積を増加させることなく、誤動作を防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における2ポートSRAMメモリセルの等価回路を示す回路図である。

【図2】 図1の2ポートSRAMメモリセルMCの配置の様子を示す図である。

【図3】 本発明の実施の形態1における2ポートSRAMメモリセルを3行分並べた場合のワード線の配置を示す平面レイアウト図である。

【図4】 2ポートSRAMメモリセルにおいて、同一ポートに接続されるワード線同士が隣合うように配置された場合の3ビット分の回路構成を示す図である。

【図5】 図4の回路構成におけるワード線の動作波形図である。

【図 6】 本発明の実施の形態 1 における 2 ポート S R A M メモリセルの 3 ビット分の回路構成を示す図である。

【図 7】 図 6 の回路構成におけるワード線の動作波形図である。

【図 8】 本発明の実施の形態 2 における 2 ポート S R A M メモリセルを同一列に 2 ビット分並べたときのレイアウト構成例を示す平面図であり、トランジスタ形成層から第 1 金属配線層までのレイアウト構成例を示す図である。

【図 9】 本発明の実施の形態 2 における 2 ポート S R A M メモリセルを同一列に 2 ビット分並べたときのレイアウト構成例を示す平面図であり、第 1 ピアホールから第 3 金属配線層までのレイアウト構成例を示す図である。

【図 10】 図 8 および図 9 のメモリセル 2 ビット分の等価回路を示す回路図である。

【図 11】 本発明の実施の形態 3 における 2 ポート S R A M メモリセルの等価回路を示す回路図である。

【図 12】 本発明の実施の形態 3 における 2 ポート S R A M メモリセルを同一列に 2 ビット分並べたときのレイアウト構成例を示す平面図であり、トランジスタ形成層から第 1 金属配線層までのレイアウト構成例を示す図である。

【図 13】 本発明の実施の形態 3 における 2 ポート S R A M メモリセルを同一列に 2 ビット分並べたときのレイアウト構成例を示す平面図であり、第 1 ピアホールから第 3 金属配線層までのレイアウト構成例を示す図である。

【図 14】 図 12 および図 13 のメモリセル 2 ビット分の等価回路を示す回路図である。

【図 15】 本発明の実施の形態 4 における連想メモリのメモリセルの等価回路を示す回路図である。

【図 16】 本発明の実施の形態 4 における連想メモリセルを 3 行分並べた場合のワード線およびマッチ線の配置を示す平面レイアウト図である。

【図 17】 本発明の実施の形態 4 における連想メモリにおいて 3 ビット分の回路構成を示す図である。

【図 18】 本発明の実施の形態 4 における連想メモリセルを同一列に 2 ビット分並べたときのレイアウト構成例を示す平面図であり、トランジスタ形成層

から第1金属配線層までのレイアウト構成例を示す図である。

【図19】 本発明の実施の形態4における連想メモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図であり、第1ビアホールから第3金属配線層までのレイアウト構成例を示す図である。

【図20】 本発明の実施の形態5における連想メモリセルの等価回路を示す回路図である。

【図21】 本発明の実施の形態5における連想メモリにおいて3ビット分の回路構成を示す図である。

【図22】 本発明の実施の形態5における連想メモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図であり、トランジスタ形成層から第1金属配線層までのレイアウト構成例を示す図である。

【図23】 本発明の実施の形態5における連想メモリセルを同一列に2ビット分並べたときのレイアウト構成例を示す平面図であり、第1ビアホールから第3金属配線層までのレイアウト構成例を示す図である。

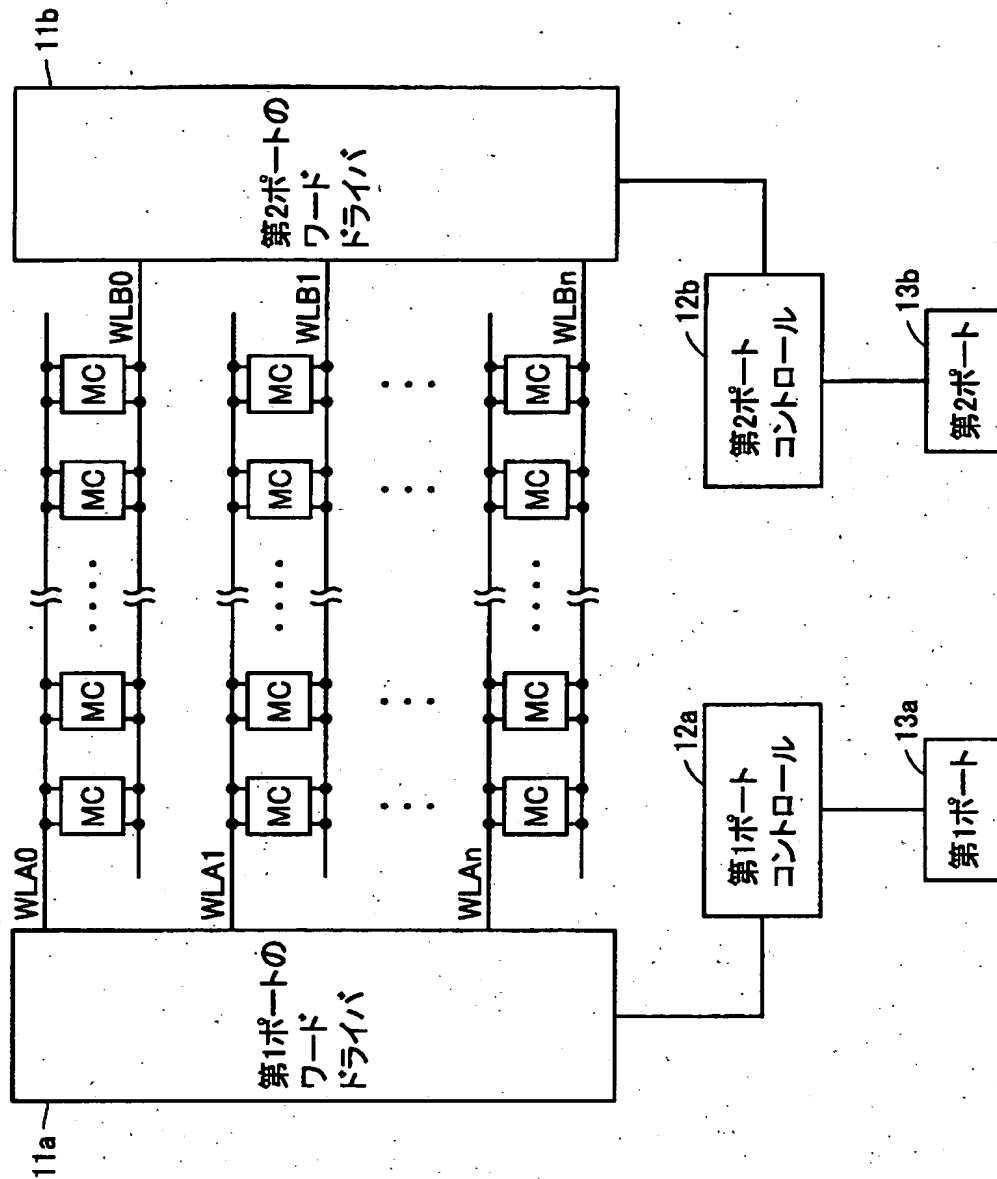
【図24】 本発明の実施の形態6における半導体記憶装置の構成を概略的に示す断面図である。

【符号の説明】

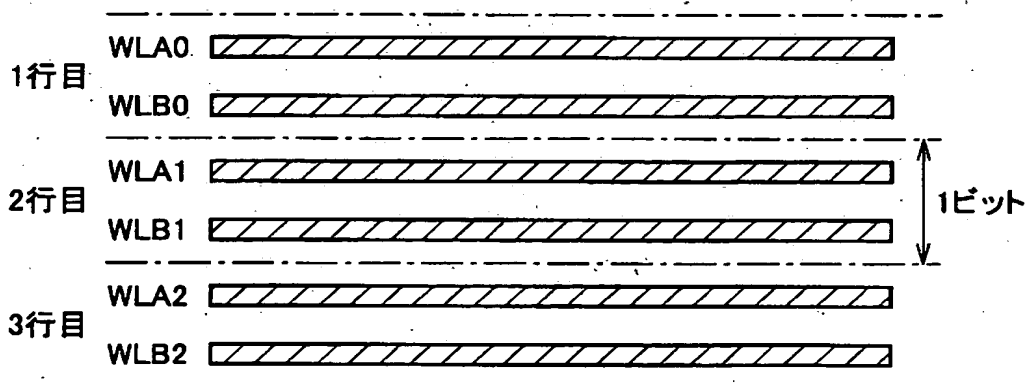
11a, 11b ワードドライバ、12a, 12b ポートコントロール、13a, 13b ポート、BL, /BL, BLA, /BLA, BLB, /BLB ビット線、/SL サーチ線、/WBL 書込み用ビット線、FL11~FL14, FL100, FL110~FL113 p型拡散領域、FL1~FL10, FL200~FL206, FL220~FL212, FL221, FL230, FL240, FL241 n型拡散領域、GND, GND1, GND2 接地線、ML マッチ線、N1, N2 ドライバトランジスタ、N3, N4, N3a, N3b, N4a, N4b アクセストランジスタ、N5~N8 nMOSTランジスタ、P1, P2 負荷トランジスタ、PL1~PL6 ゲート、PW0, PW1 p型ウェル、NW n型ウェル、RBL 読出し用ビット線、RCL 列選択信号線、RWL 読出し用ワード線、SL, /SL サーチ線、VDD 電源線、WBL 書込み用ビット線、WL, WLA, WLB ワード線、WWL

書込み用ワード線、N a , N b 記憶ノード、N c 内部ノード、I 1 , I 2
CMOSインバータ、MC メモリセル。

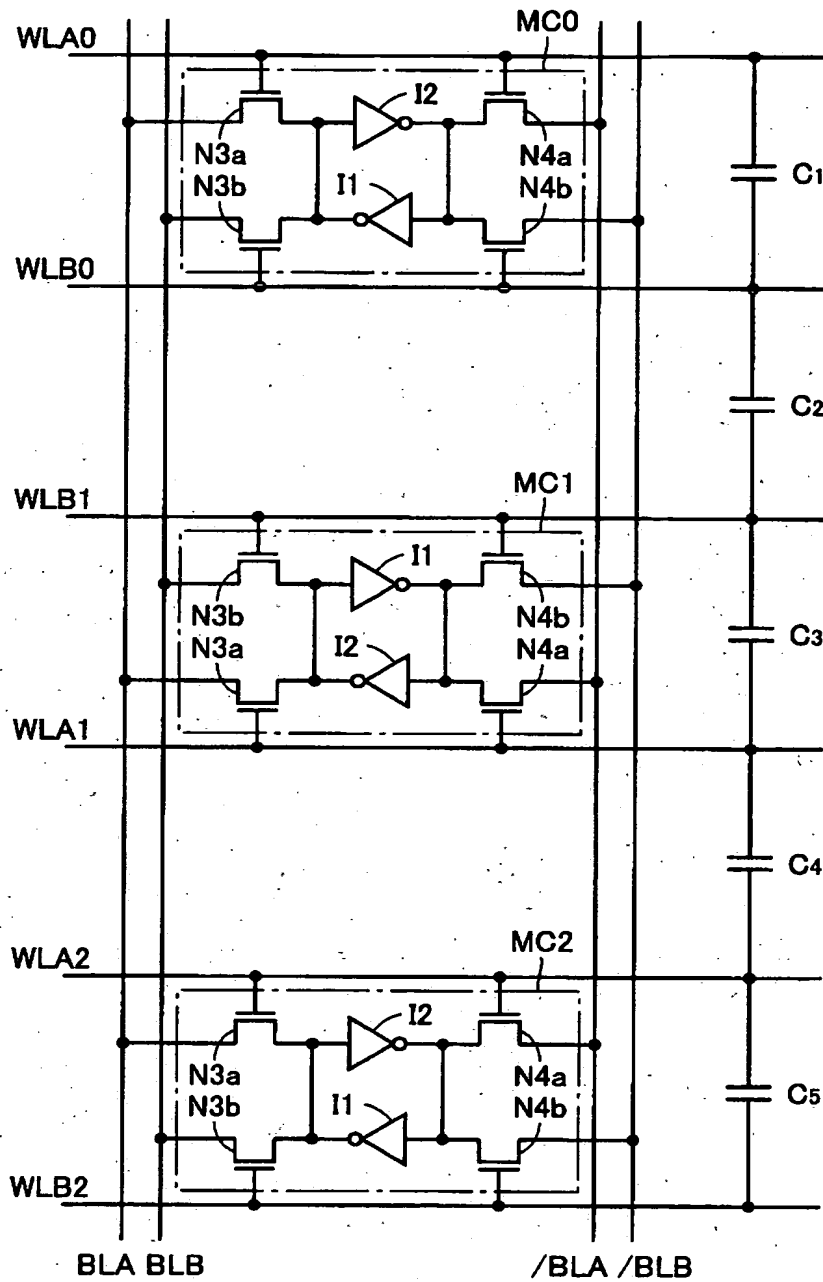
【図 2】



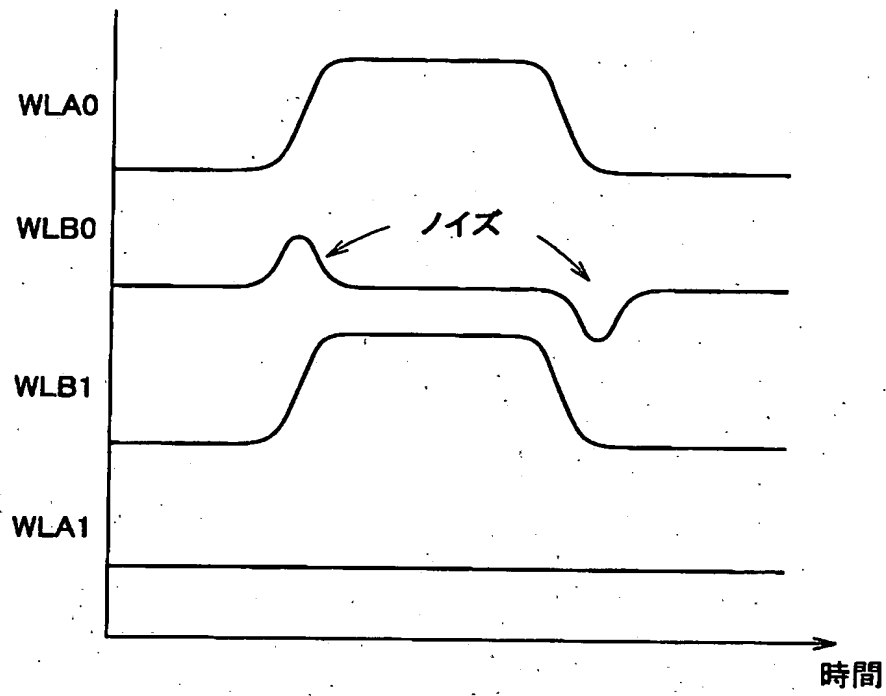
【図 3】



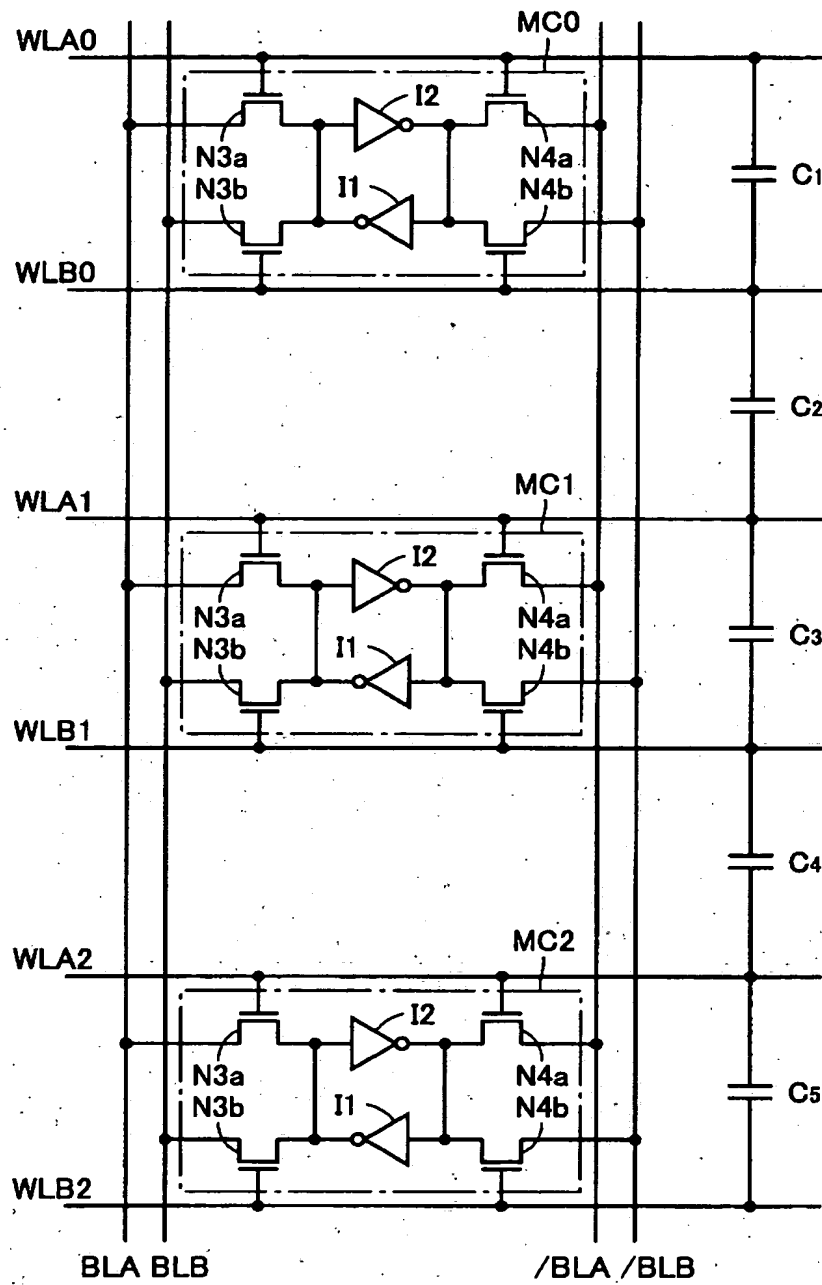
【図 4】



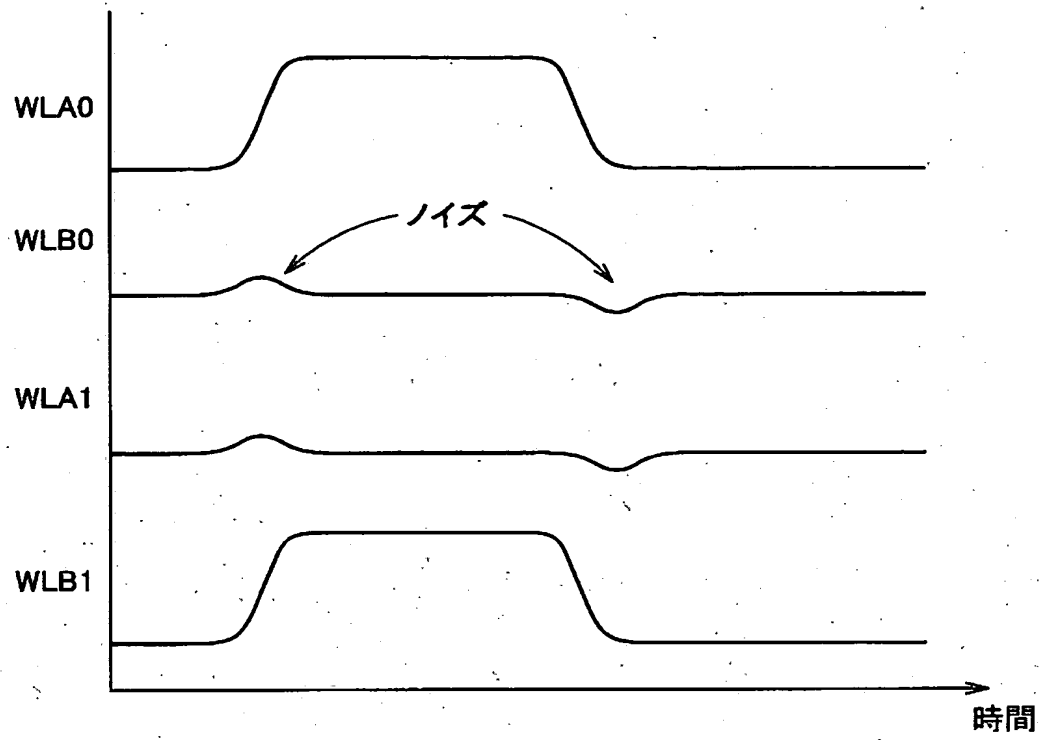
【図 5】



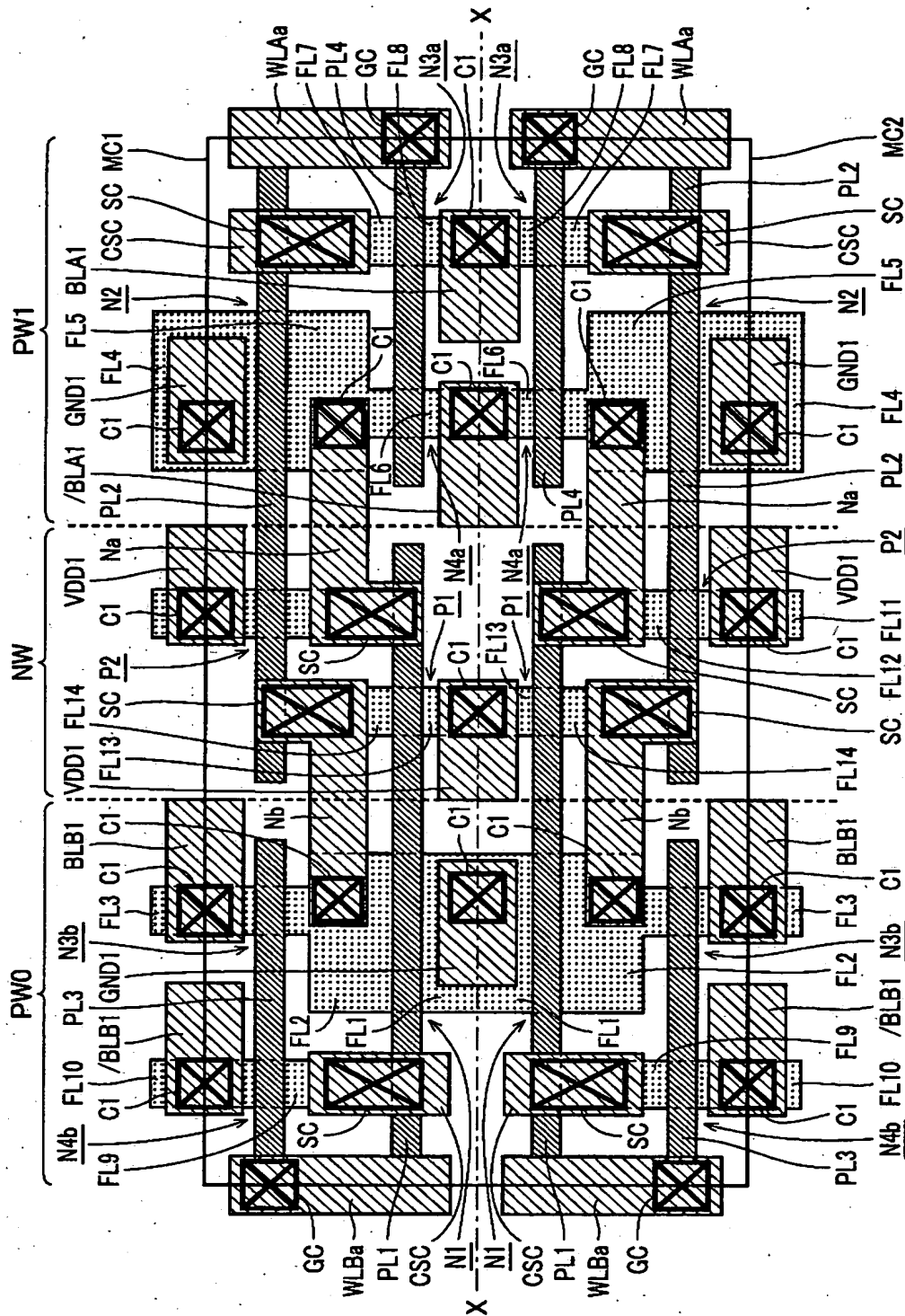
【図 6】



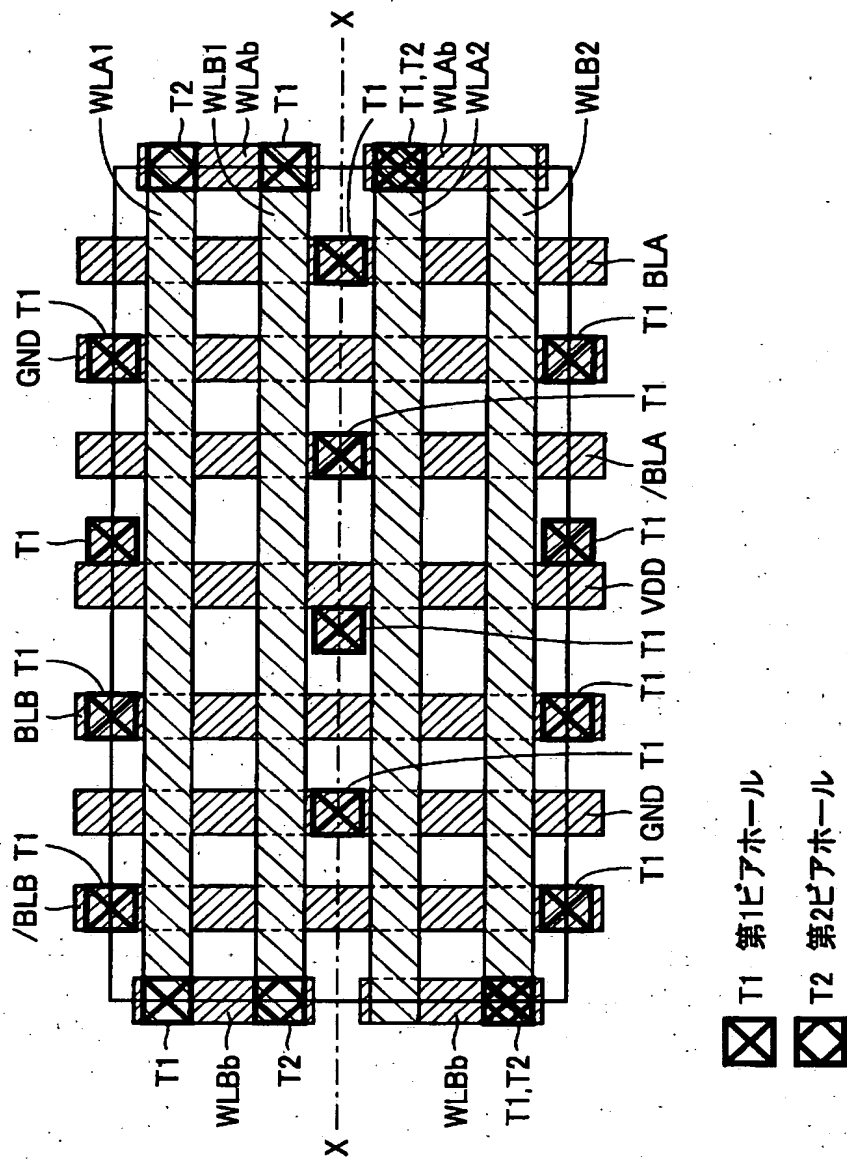
【図 7】



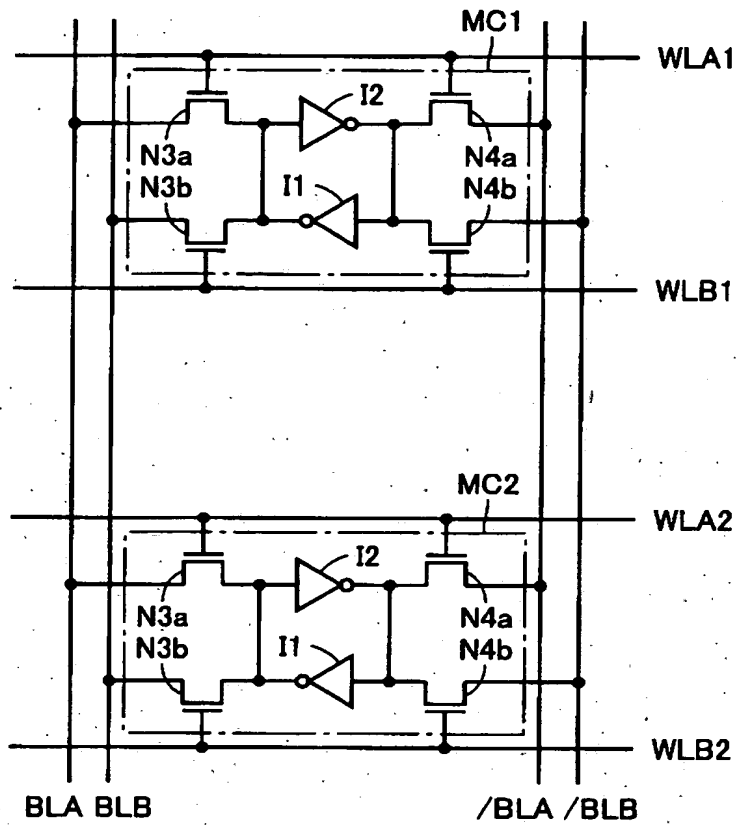
【図 8】



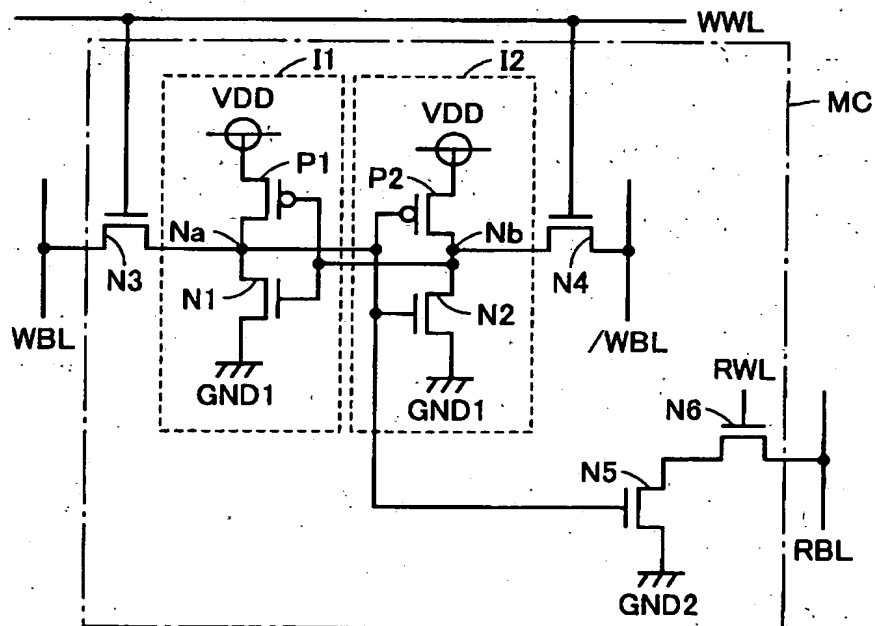
【図 9】



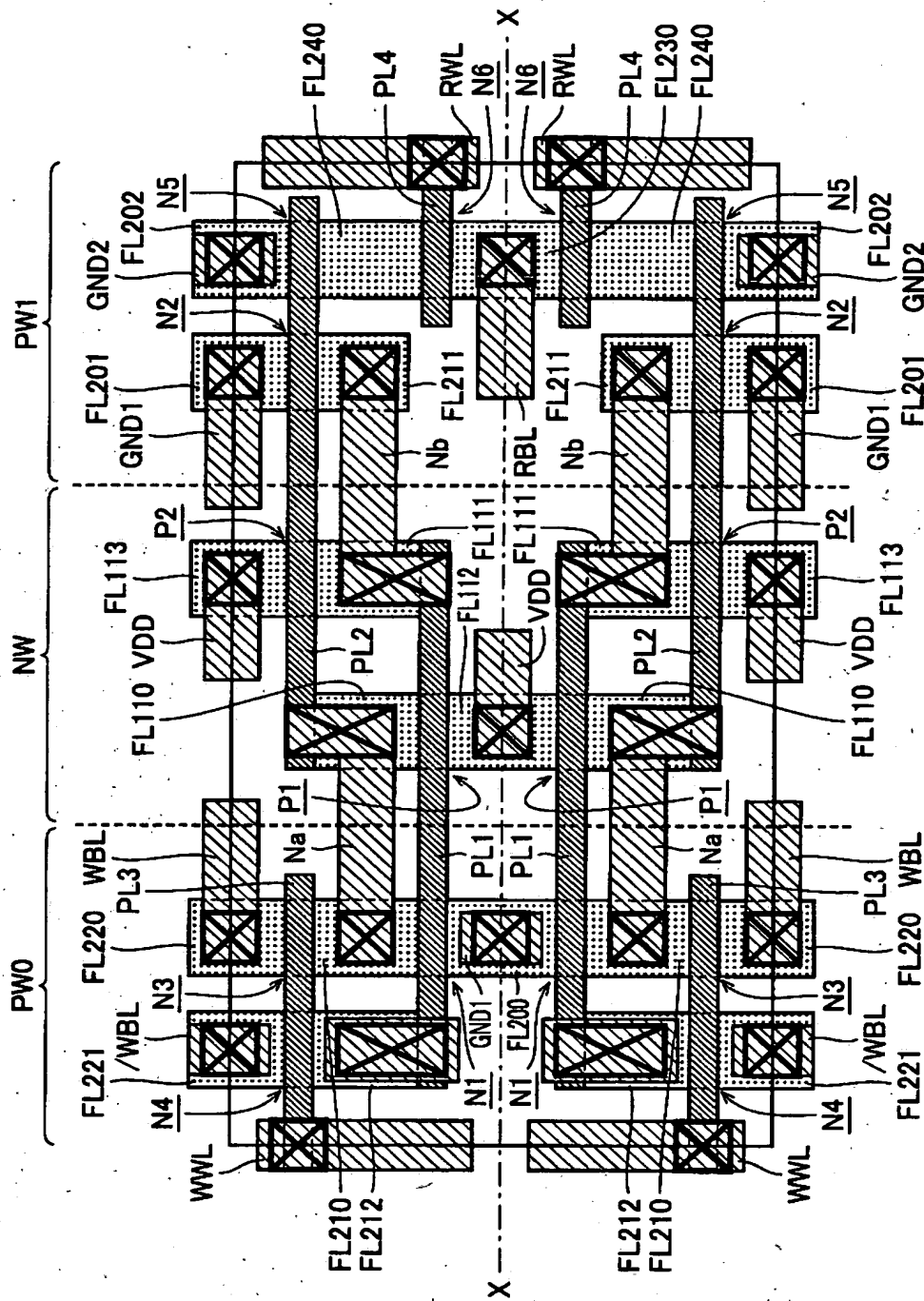
【図 10】



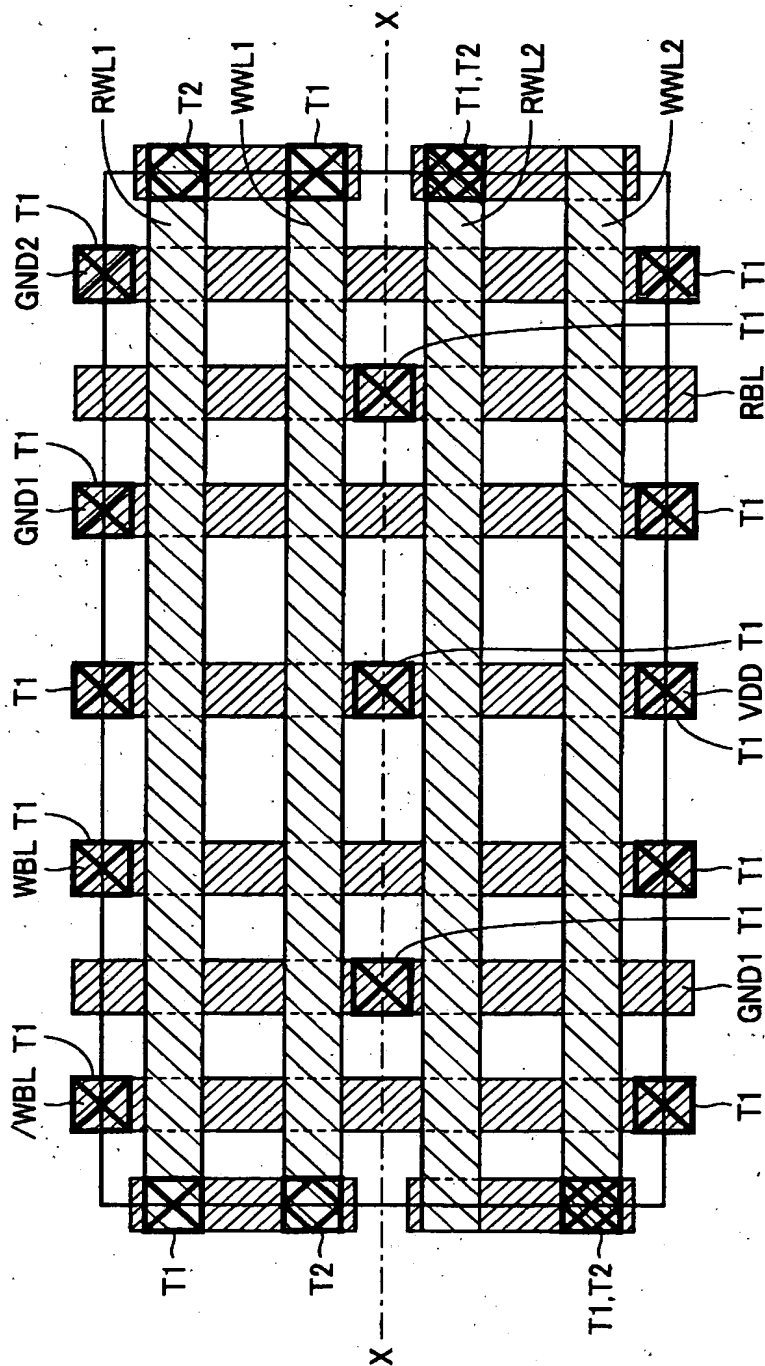
【図 11】



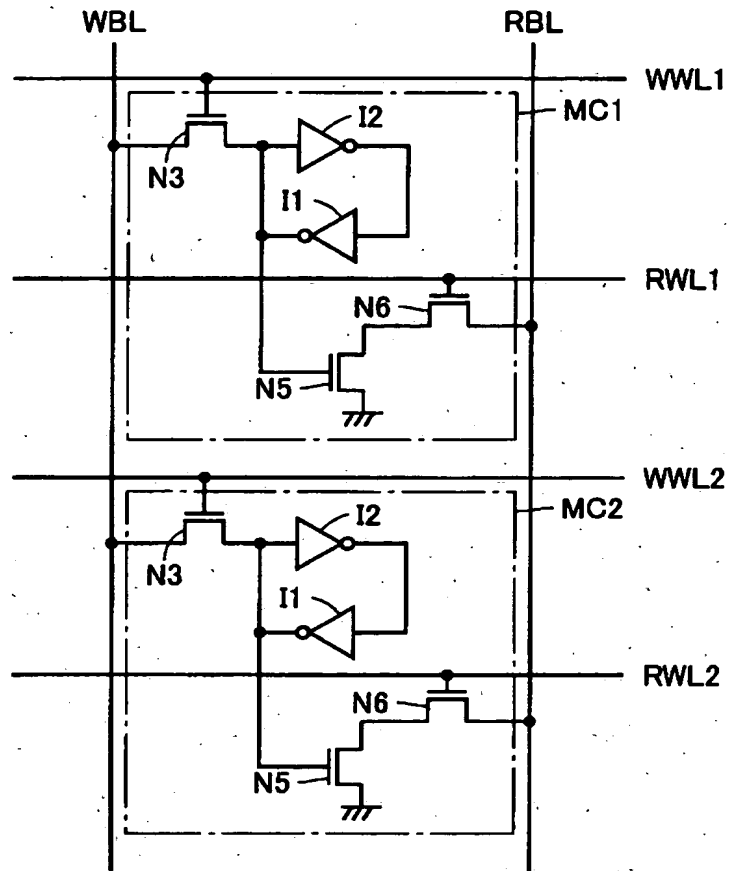
【図 12】



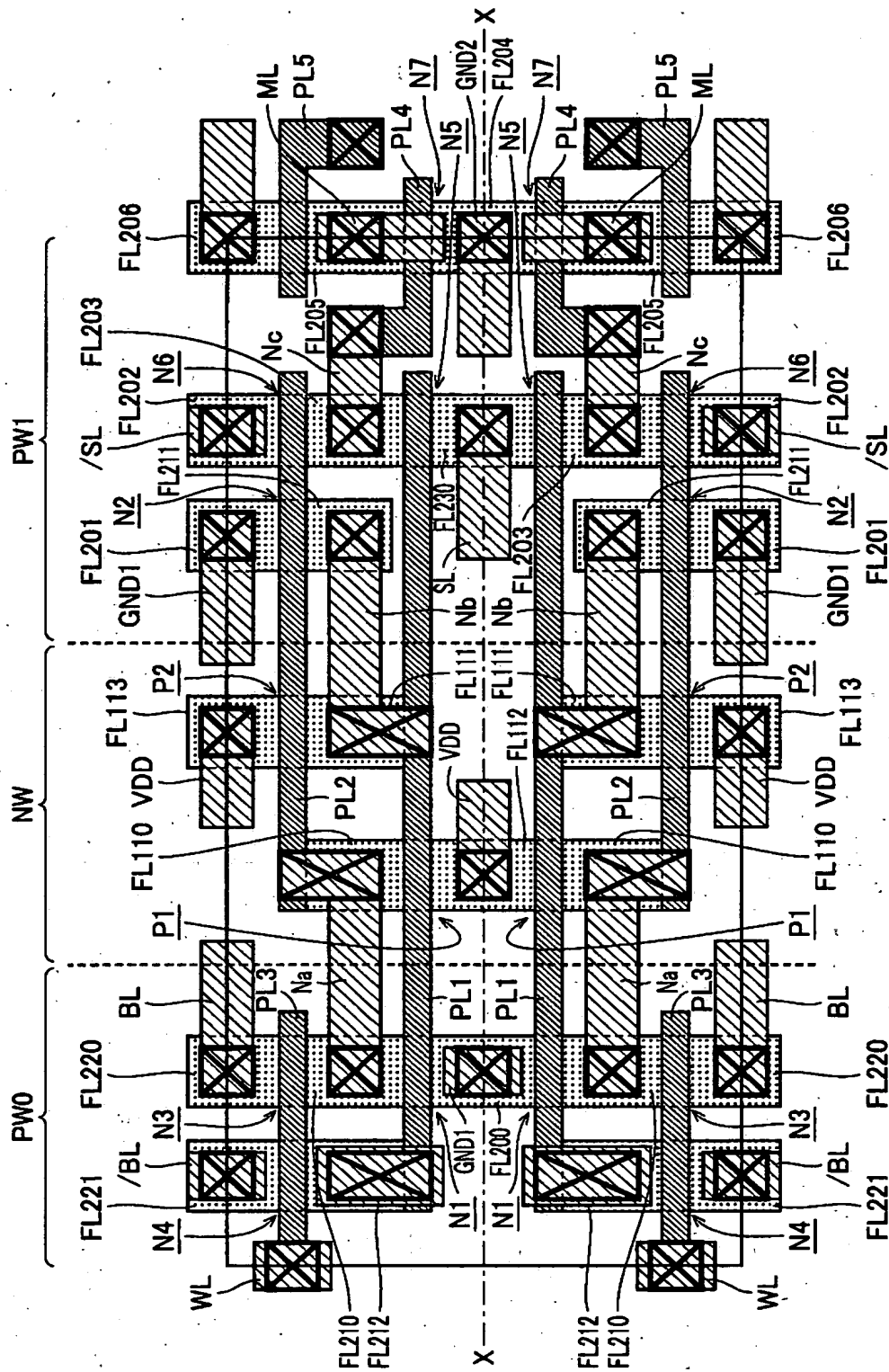
【図 13】



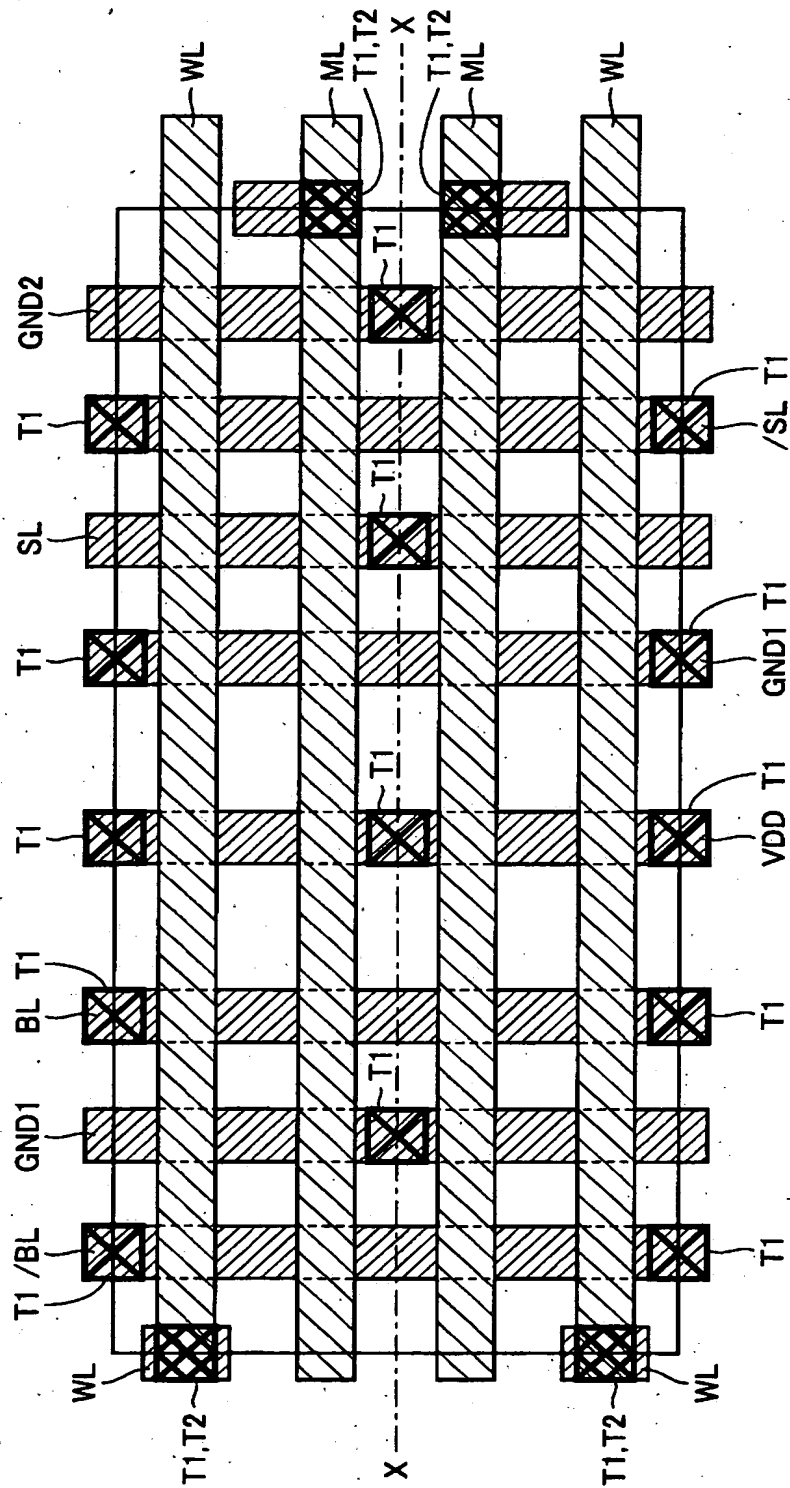
【図 14】



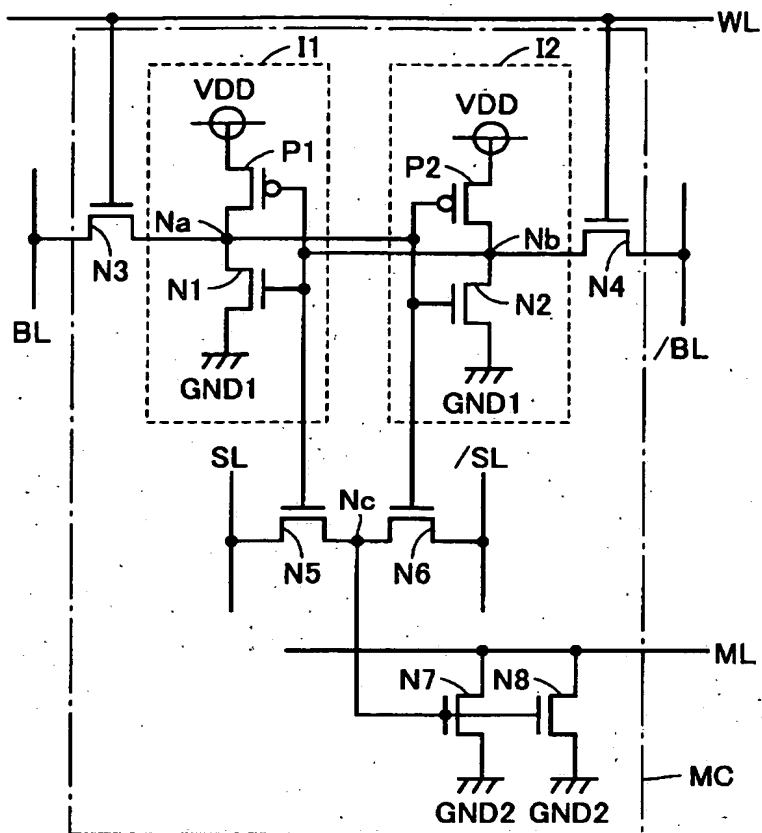
【図 18】



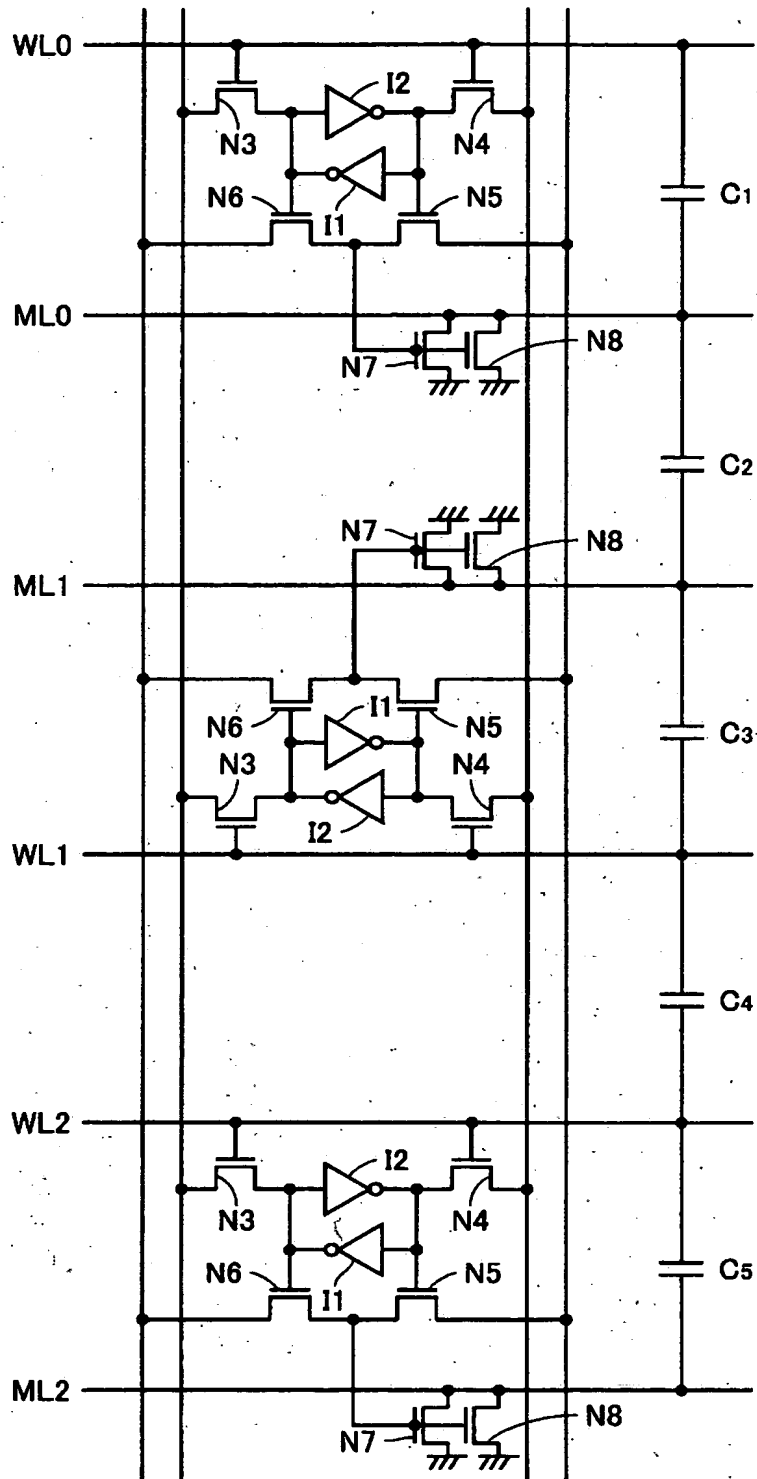
【図 19】



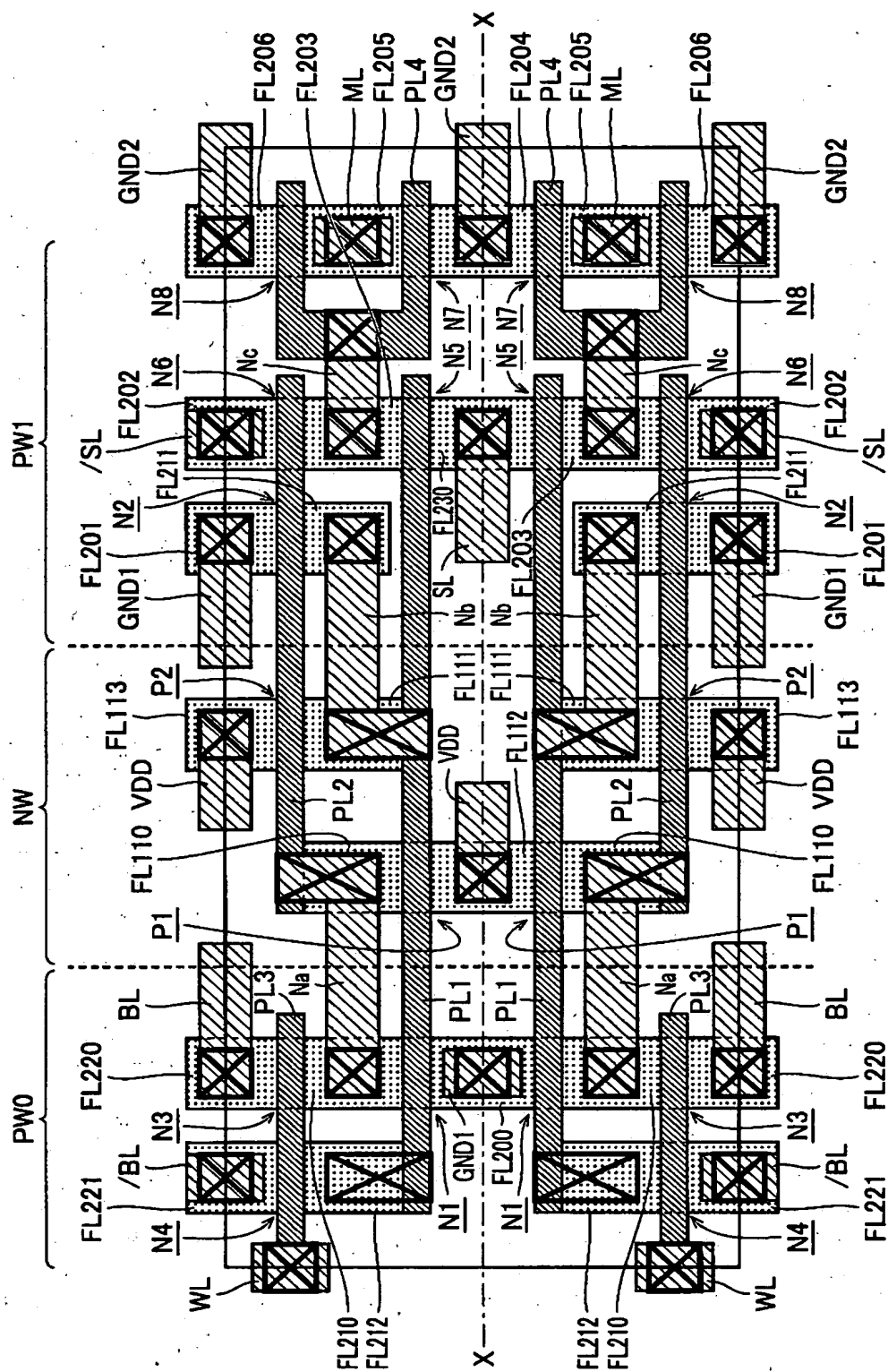
【图 20】



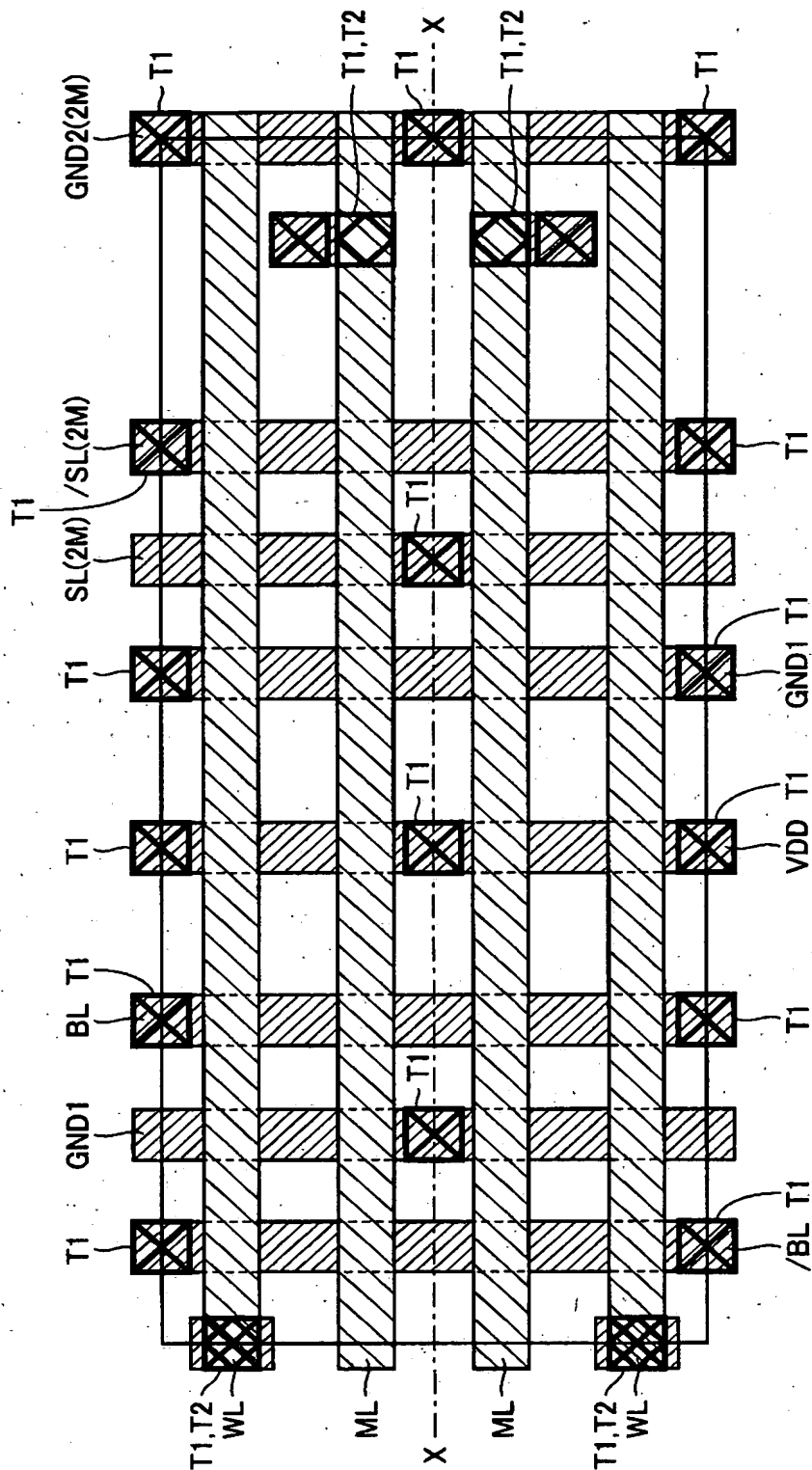
【図 21】



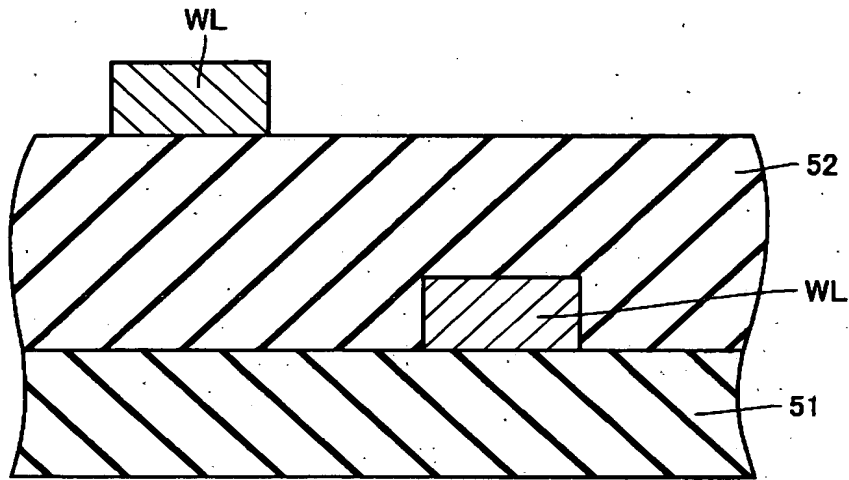
【图 2 2】



【图 2 3】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 メモリセル面積を増大させることなく、配線間のカップリングノイズを低減可能な半導体記憶装置を提供する。

【解決手段】 本発明の半導体記憶装置は、マルチポートメモリを有しており、行列状に配置された複数のメモリセルMCと、第1ポート13aに接続された複数の第1のワード線WLA0～WLA_nと、第2ポート13bに接続された複数の第2のワード線WLB0～WLB_nとを備えている。複数の第1のワード線WLA0～WLA_nの各々と複数の第2のワード線WLB0～WLB_nの各々とが平面レイアウトにおいて交互に配置されている。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ